

九州工業大学学術機関リポジトリ



Title	シリコンパワー半導体の高効率化に関する研究
Author(s)	附田, 正則
Issue Date	2013
URL	http://hdl.handle.net/10228/5261
Rights	

Academic Year 2013 DISSERTATION

シリコンパワー半導体の高効率化に関する研究

Study on high efficiency of silicon power semiconductors

附田 正則



九州工業大学 工学府 電気電子工学専攻,
福岡県北九州市戸畑区仙水町 1-1

概要

高効率エアコンやハイブリッド自動車に用いられるパワー半導体はエネルギーの高効率利用に資する技術として重要視され、拡大する需要に対応するとともに更なる高効率化に向けた技術開発が行われてきた。今後、世界レベルで拡大する需要に応えながら更なる高効率化を達成するには、量産性に優れたシリコン技術をベースに新しい提案を行うことが次世代デバイス開発の一つの柱になる。その一方で、現在用いられているシリコンパワー半導体は材料物性に起因する性能限界により飛躍的な性能改善は困難と考えられており、新しい着想に基づくデバイス研究が求められてきた。

半導体デバイス研究では、CMOS をはじめとするユニポーラ動作に主眼が置かれてきたが、本研究ではバイポーラ動作に注目し、シリコンパワー半導体の飛躍的な性能改善を理論的に試みた。その結果、家電、HEV や電力用途に多く用いられる耐圧 600V 以上のシリコンパワー半導体の理論性能は従来考えられているよりも遥かに高いことが判明し、理論性能を実現する新たなデバイス構造を提案した。本研究の成果により、量産性と高効率化を両立する次世代パワー半導体の実現が可能であることが示された。

第1章では、パワーエレクトロニクス在省エネに対する効果とパワー半導体の役割を示した。またパワー半導体の種類と応用例をまとめ、本研究テーマ選択の背景に言及した。

第2章では、これまでシリコンパワー半導体の性能限界推定に用いられてきたユニポーラ動作モデルに代え新たにバイポーラ動作モデルを構築し、シリコンパワー半導体の大幅な高効率化が理論的に可能であることを初めて示した。今回構築したバイポーラ動作モデルでは極限まで素子の主要部分を短く（薄型化）し、内部に蓄積される電子およびホール分布も従来のU字型分布に変えて平坦な分布を仮定した。また、第1章で示した理想のパワー半導体を用いた場合、従来のパワー半導体では発生しなかった低周波ノイズと高周波ノイズの2種類のノイズへの対策が特に必要であることを明らかにした。

第3章では、パワー半導体起因で発生するノイズのメカニズムを分析し、ノイズの発生を実験波形などから判定する方法を提案した。低周波型ノイズの発生は、素子主要部の蓄積キャリアが完全に排出される瞬間に発生する大きな電流変化（高い di/dt ）に起因することを明らかにし、この発生を実験波形などから予測する新たな判定法を構築した。

第4章では、ダイナミック・アバランシェ現象に注目し、数値解析によりノイズ発生メカニズムを総合的に解明した。このような解析で用いる過渡現象のシミュレーションは長時間の計算が必要であり、網羅的に解析することが不可能であった。今回、新たに「疑似定常法」と呼ぶ解析法を考案することで解析時間を大幅に短縮し、ノイズ発生のメカニズムを総合的に解析することが可能となった。本方法により、ノイズ発生のメカニズムは瞬間的なアバランシェ現象と、アバランシェ現象により発生した電子およびホ

ールの素子内蓄積、さらに蓄積した電子とホールは排出の3つの過程を経ていることが分かり、それぞれの過程が電流密度により大きく変化することも判明した。

第5章では、Sパラメータによる安定係数をダイナミック・アバランシェ現象によるノイズの判定法として初めて導入した。本方法は、デバイスの耐圧シミュレーションと同時にノイズが予測できるため、簡単でありながら非常に強力な設計ツールとなる。また入力端子と出力端子間の反射係数と透過係数を分析し、ノイズ発生メカニズムが2端子素子と3端子素子で共通することも明らかにした。この結果は、パワーMOSFETなど3端子素子のノイズ発生が制御端子へのフィードバックが原因であるとした従来の考え方を完全に否定するものとなった。

第6章では、第3章から第5章で提案したノイズ判定法および解明したメカニズムに基づき、第1章で示した理論性能に迫る新たなデバイス構造を提案した。具体的には蓄積キャリアの排出をコントロールするためにデバイス構造の一部に“二次元構造”を導入することを提案した。

第7章では、高効率化とノイズ抑制を両立する実現可能なパワー半導体構造を提案し、埋め込み層やSOIを用いた横型二次元構造により性能限界に肉薄しつつノイズも大幅に抑制されることが判明した。本構造は、二次元プロセスの導入が容易でIC化も可能であるなど、高効率化に加えて量産性の向上と多機能化にも有利であると考えられる。

本研究では、パワーエレクトロニクス機器に莫大な数用いられている耐圧600V以上のシリコンパワー半導体の理論性能が従来考えられているよりも遥かに高いことを明らかにし、理論性能に迫る新たなデバイス構造を提案した。本研究で提案した構造はIGBT (Insulated Gate Bipolar Transistor) などへの適用が可能であり、シリコン技術をベースとした量産性の高い次世代パワー半導体の実現に大きく貢献した。

目次

第1章	パワーエレクトロニクスの高効率化	1
1. 1	パワーエレクトロニクスとパワー半導体	1
1. 2	パワー半導体による電力スイッチ	3
1. 3	パワー半導体構造の種類と応用	5
1. 4	パワー半導体材料による高性能化	6
1. 5	本研究の目的	7
第2章	パワー半導体の新しい理論性能と理論性能追求の課題	9
2. 1	パワー半導体の新しい理論性能	9
2. 2	TCAD シミュレーションによる理論性能の確認	18
2. 3	理論性能の追求によるノイズの発生	21
2. 4	ノイズの分類	23
第3章	ダイナミック・パンチスルーによる低周波ノイズ	25
3. 1	ノイズ発生メカニズム	25
3. 1. 1	IGBT の場合	25
3. 1. 2	PiN ダイオードの場合	27
3. 2	ノイズ発生の判定法	29
3. 2. 1	IGBT の場合	29
3. 2. 2	PiN ダイオードの場合	32
3. 3	PiN ダイオードの特殊性を利用した振動抑制コンセプト	35
3. 4	セルフ・クランプを用いたノイズ抑制による損失の増加	37
3. 4. 1	セルフ・クランプのメカニズム	37
3. 4. 2	セルフ・クランプの判定法	38
第4章	ダイナミック・アバランシェによる高周波ノイズ	41
4. 1	疑似定常法によるノイズメカニズムの分析	41
4. 2	PiN ダイオード構造のノイズ継続メカニズムと周波数モデル	44
4. 3	スイッチングデバイスへの周波数モデルの応用	47
4. 4	数学モデルによる高周波ノイズ減衰の判定法	49
第5章	Sパラメータによるパワー半導体のノイズ発生判定	51
5. 1	パワー半導体の Sパラメータ抽出	51
5. 2	安定係数を用いたパワーMOSFET のノイズ判定	56
5. 3	パワーMOSFET と PiN ダイオードのノイズ考察	58
第6章	シリコンパワー半導体の新しい設計アプローチ	59
6. 1	ノイズ抑制により高効率化を目指した従来アプローチの限界	59
6. 2	波形振動を抑制する新しい設計アプローチ	61
第7章	シリコンパワー半導体の高効率化を可能にする新構造	62

7. 1	二次元構造による IGBT の新構造.....	62
7. 2	二次元 SOI 構造による PiN ダイオードの新構造.....	65
第 8 章	結論	70
	謝辞	72
	参考文献	73
	表一覧.....	77
	図一覧.....	77
	研究業績目録	80
	付録	83
付録 1	電力用半導体とその開発動向	83
付録 1 - 1	電力用半導体の歴史と動向	83
付録 1 - 2	I G B T の高性能化.....	87
付録 2	論文および国際会議で提案されているパワー半導体の波形振動抑制構造	91
付録 3	新構造によるアバランシェ振動の抑制効果.....	100

第1章 パワーエレクトロニクスの高効率化

1. 1 パワーエレクトロニクスの応用範囲と効果

低炭素社会実現に向けて、エネルギーの高効率利用を可能にする電力の役割が期待されている。国内でも電力によるエネルギー消費の割合は増加しており、2013年に資源エネルギー庁から出された報告によれば、2010年には約25%に達している。しかし、CO₂ガス放出を2050年までに50%削減するには電力化率を50%にまで拡大する必要があると言われており、現在よりも遥かに多くのパワーエレクトロニクスが使われる高度電力社会が到来することが予測されると同時に、このような社会を早く実現することが急務である。

パワーエレクトロニクスの応用分野は広く、パソコンや携帯電話などのIT機器や、エアコン、冷蔵庫、電磁調理器などの家電、そして電気自動車／ハイブリッド自動車や新幹線などの移動手段にも用いられている(図1)。さらに産業用の大型装置、送電系統、また近年盛んに研究され家庭用や大型プラントとして普及率が伸びている太陽光発電や風力発電など再生可能エネルギーの電力変換にも使われている。

パワーエレクトロニクスは小型化が進んでいる。例えば小型化の1つの指標であるパワー密度(単位体積当たりの出力)は年々高くなっており、小型化が進んでいることが分かる。1970年以降インバータやコンバータの高パワー密度化は15年で10倍のペースで進んできており、1970年当時は0.01W/cm³であったパワー密度が、2000年には100倍の1W/cm³を達成している(図2) [1]。また、小型化により量産性向上や低コスト化も年々進んでいるものと考えられる。

パワーエレクトロニクスはパワー半導体が可能にした高効率電力変換技術である [2] [3] [4] [5] (付録1)。パワーエレクトロニクスが普及する以前の代表的な電力変換技術にはシリーズレギュレータやトランスなどがある。しかし、シリーズレギュレータは電圧変換によるエネルギー制御が可能であるが、トランジスタなどの素子を負荷と直列に入れて降圧させるため直列に挿入された素子での損失が発生した。またトランスを用いた電力変換は原理的には損失を発生させずに電圧を変換できるが、交流のみしか扱えず、また周波数が変換できないなどの問題があった。これらのような以前の電力変換技術と異なり、パワーエレクトロニクスでは原理的には損失を発生させずに直流と交流が扱うことができ、周波数、電圧および電流の変換・制御が可能である。

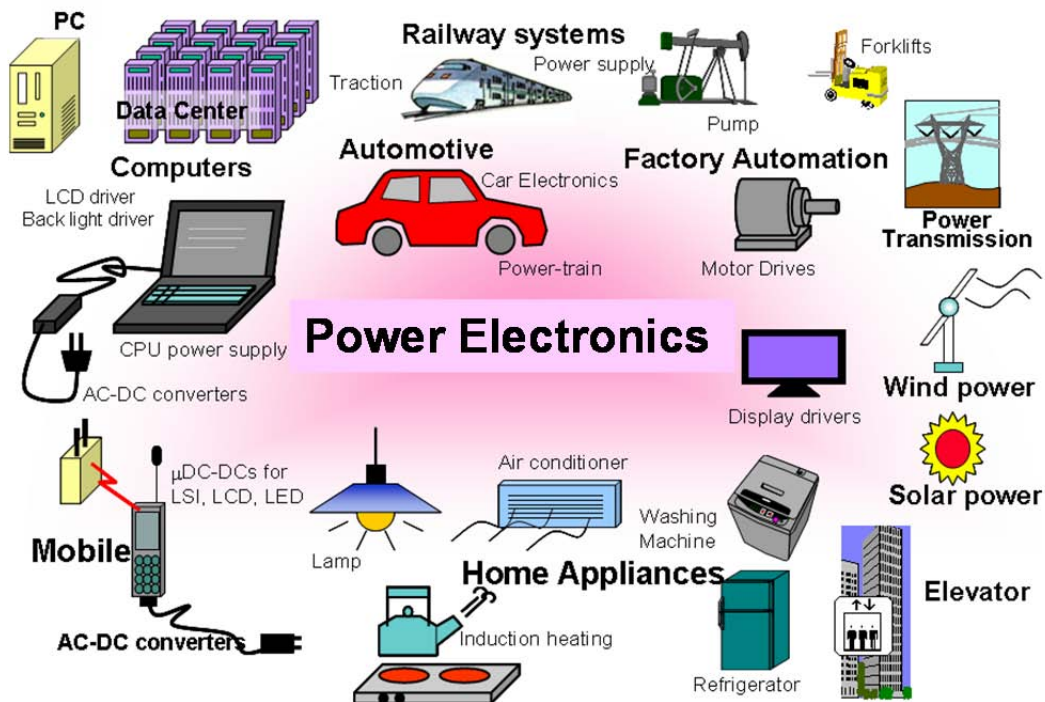


図 1 パワーエレクトロニクス (パワエレ) の応用分野

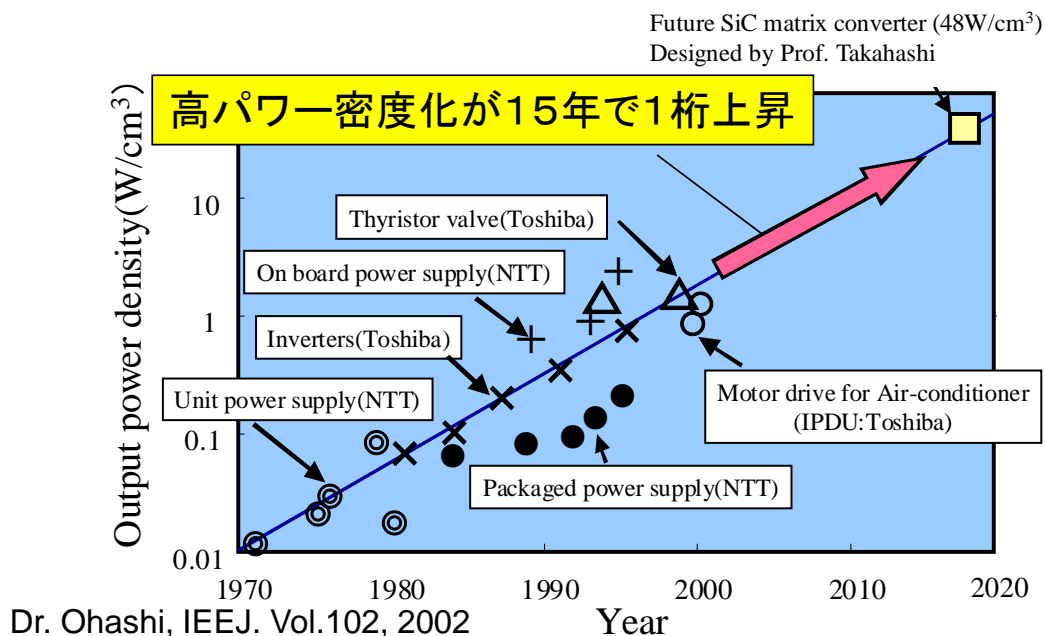


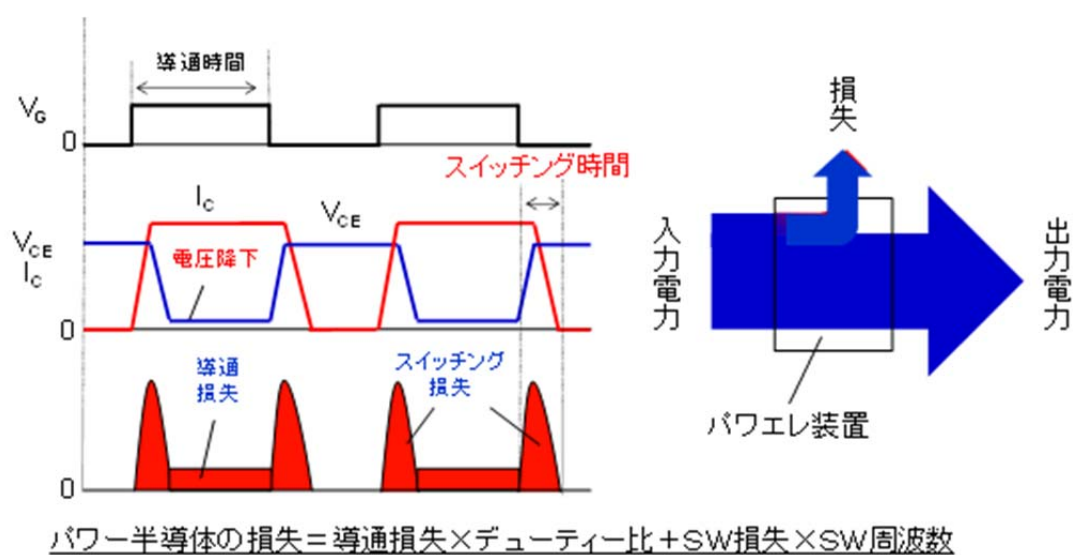
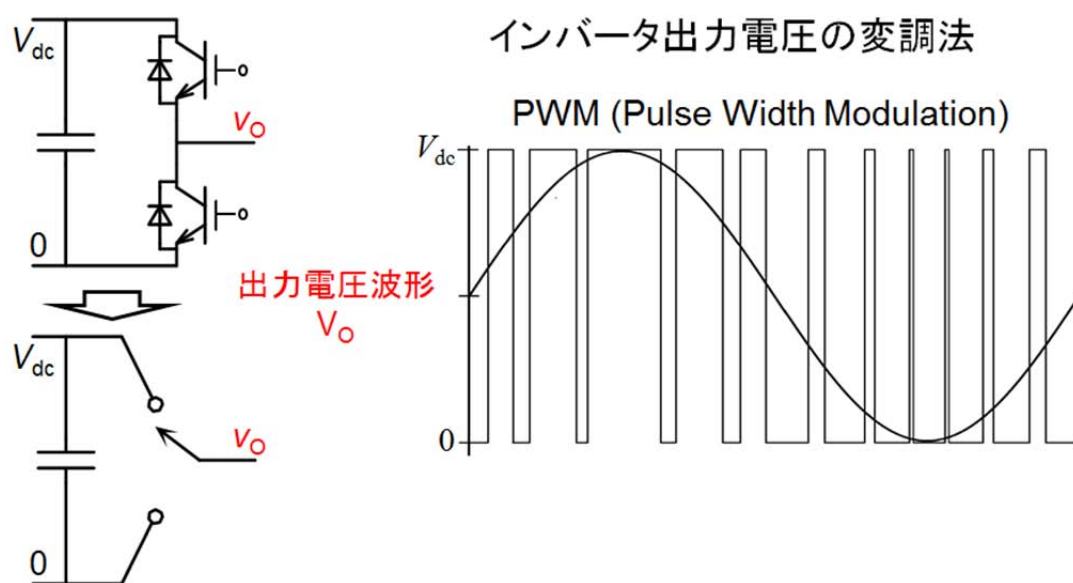
図 2 パワーエレクトロニクスの高パワー密度化 ([1]をもとに再構成)

1. 2 パワー半導体による電力スイッチ利用による高効率化

パワー半導体は、大規模集積回路（LSI：Large Scale Integration）と同様にスイッチの役割をする。しかし用途が異なり、LSI はインターネット情報や画像データを高速に処理するのに対し、パワー半導体は電気エネルギーを高速に無駄なく変換し消費電力を抑える。代表的なパワーエレクトロニクス機器であるインバータやコンバータは、複数のパワー半導体を制御することにより装置に適合した出力電力に変換している(図 3)。一例として、インバータでは正弦波信号と三角波の比較により発生する PWM(Pulse width modulation) 波形でパワー半導体の導通時間を制御し直流電圧から交流電流に変換する。

パワー半導体を高速にチョッパ制御することにより必要最小限の電気エネルギーを取り込めるため、その後のキャパシタやインダクタなどの受動部品による平滑化を効果的に用い原理的には効率 100%が実現できる。損失の発生がない効率 100%の高速スイッチを用いた場合、電力変換器の中で大きな体積を占める放熱機構が不要になると同時に受動部品が高速化に比例して小さくなる。これによりパワエレ機器の圧倒的な小型化が期待でき、更に応用範囲が拡大する。

パワー半導体のスイッチングを用いた電力変換では原理的には損失を発生しないが、実際には寄生抵抗などにより損失が発生する(図 4)。損失は導通時の電圧と電流の積で表される導通損失と、スイッチング時の電圧と電流の積で表されるスイッチング損失に大別され、導通損失低減により放熱機構の小型化が可能となり、スイッチング損失低減により受動部品と放熱機構の小型化が可能になる。パワー半導体の損失は熱となり消費されパワーエレクトロニクス機器の効率を下げるため、電力の変換効率とパワー密度の観点からスイッチング損失と導通損失の低減が求められている。



1. 3 パワー半導体構造の種類と応用

インバータやコンバータなどの電力変換器は、スイッチング素子とダイオードという機能の異なるパワー半導体を組み合わせて構成する。スイッチング素子は電流の導通と遮断をゲート端子からの信号により制御し、ダイオードは一方向からのみ導通するという特徴をもつ。

システムから要求される変換電力とスイッチング周波数に応じて、パワー半導体は選択される。一般的にユニポーラ素子の方がスイッチングの高速化は可能であるが、キャリア蓄積されるバイポーラ素子よりも低損失化が難しいため、変換容量が小さく駆動周波数が高い用途に用いられる。また同じバイポーラ素子でも、構造に起因するキャリアの蓄積量の違いにより適用される変換容量と周波数が異なる。

現在主流のスイッチング素子の中で、最も変換容量が小さく周波数が高い用途に用いられるのがユニポーラ素子であるパワーMOSFET (Metal-oxide-semiconductor field-effect transistor) である。変換容量は数 10 VA から 10 kVA、周波数は数 kHz から 1 MHz 程度であり、ノート PC の AC アダプタや携帯電話および自動車の電装用途などに用いられている。近年製品化された p/n ピラー構造を持つ SJ (Superjunction) -MOSFET はパワーMOSFET の一種であるが、パワーMOSFET の導通損失限界を越えたオン抵抗の低減が可能であるため、家電など大容量用途のパワーMOSFET と小容量用途のバイポーラ・デバイスの応用範囲で市場を拡大している。パワーMOSFET (SJ-MOSFET) の次に変換容量が大きいのはバイポーラ素子である IGBT/IEGT である。変換容量が数 10 kVA から数 MVA、周波数は 1 kHz から数十 kHz 程度までであり、家電からハイブリッド自動車および新幹線のモーター駆動用インバータなどがこの範囲にあたる。IGBT より変換容量が大きい領域ではキャリア蓄積量が多い GTO や GCT が用いられている。変換容量は 100 kVA から数 10 MVA、周波数は 100 Hz から数 kHz で、鉄鋼圧延の用途などがこの応用範囲である(図 5) [6]。

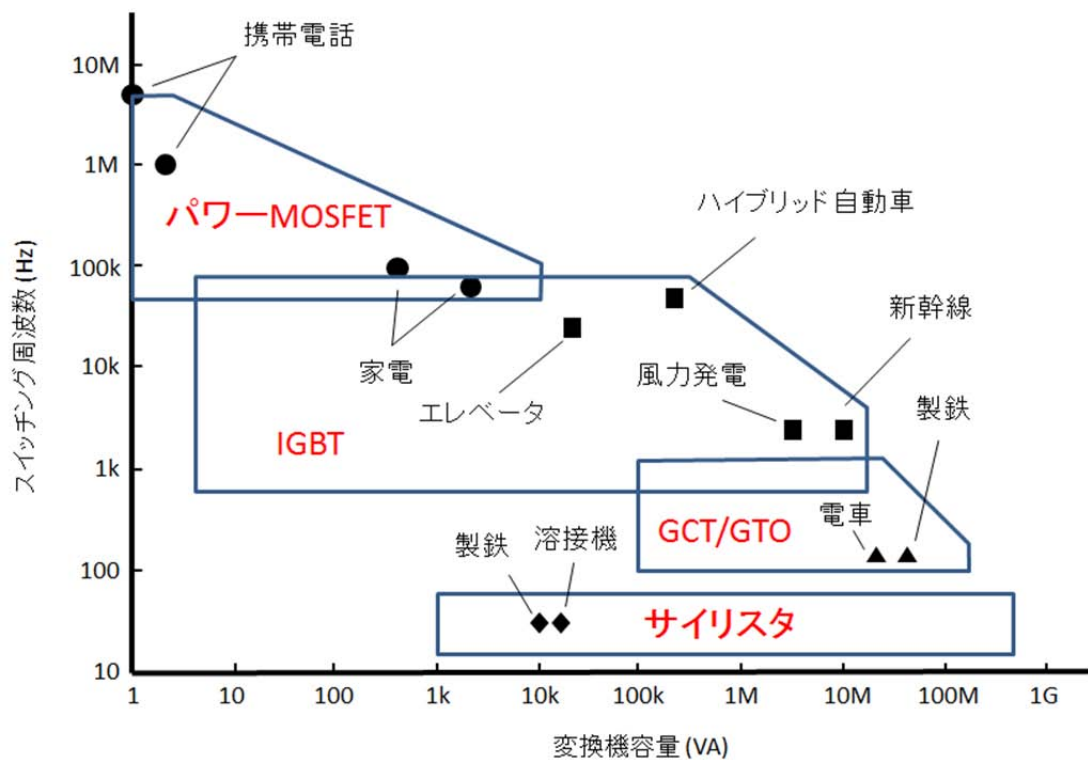


図 5 パワー半導体の種類と応用例（[6]をもとに再構成）

1. 4 パワー半導体材料による高性能化

高性能化に有利な材料の特徴を活かし、ワイドバンドギャップ半導体材料によるパワー半導体の高性能化が進んでいる(図 6) [4]。シリコンよりも高い絶縁破壊強度をもつ SiC（シリコンカーバイド）や GaN（ガリウムナイトライド）によるパワー半導体は、ユニポーラ型パワー半導体のドリフト層を薄型化することが可能となり、シリコンのユニポーラ型パワー半導体よりも低オン抵抗化が可能となる。シリコンパワー半導体は、高いプロセス技術を生かしスーパージャンクション構造などの新構造で低オン抵抗化を進めているが、現在の最高性能はワイドバンドギャップ・パワー半導体の方が高い。今後、製造インフラの整備とウェーハの大口径化による増産が可能となり、さらには MOS ゲート化とスイッチング素子のノーマリオフ化が可能になれば、ワイドバンドギャップ・パワー半導体の普及が加速すると考えられる。

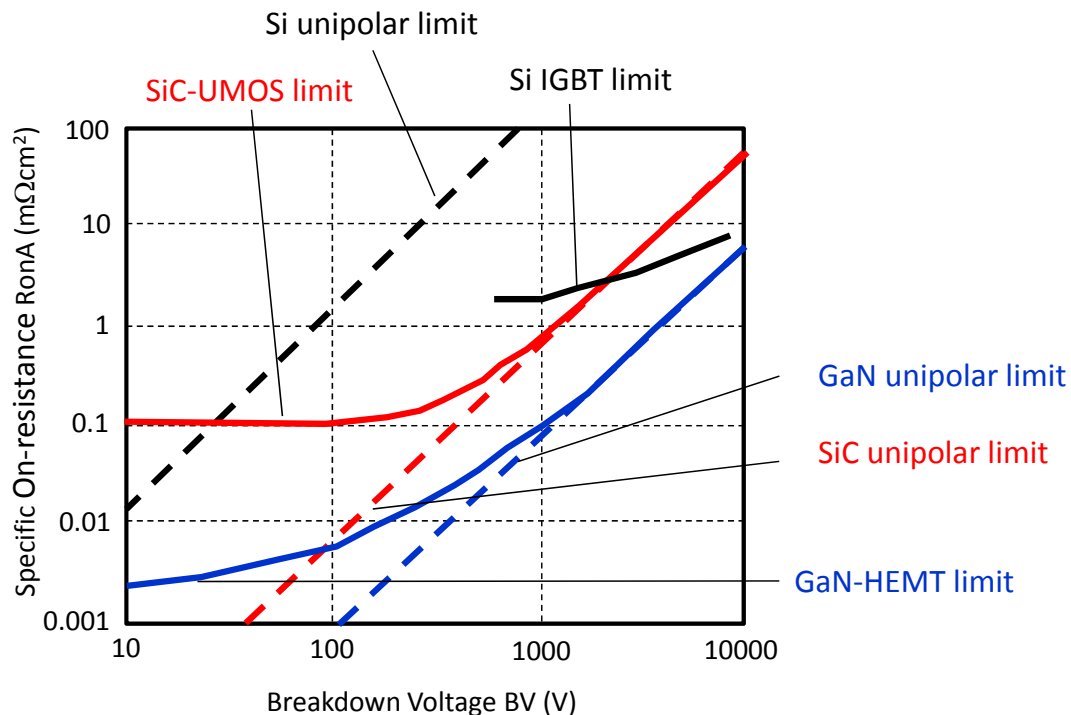


図 6 最近のパワー半導体の高性能化（[4]をもとに再構成）

1. 5 本研究の目的

近年、持続可能社会づくりおよび低炭素化への取り組みなどから、エネルギーの有効利用が可能であるパワーエレクトロニクスの需要が高まっている。ハイブリッド自動車や電気自動車用インバータおよびコンバータを例に挙げると、年間売り上げが平均で約20%ずつ拡大すると予想されており、それに伴いパワー半導体の世界市場も急激に拡大すると考えられる [7]。

パワー半導体の世界市場は2011年から2020年までの5年間で約1.5倍に拡大すると予想されており、2020年には3兆円に達する勢いである。この急激な市場拡大に対して、パワー半導体の製造インフラが整備されており基板の供給も可能であるシリコンパワー半導体で需要に応える期間が今後10年以上続くと予想される（図 7）[8]。

本研究では、省エネおよびエネルギー有効利用の促進に向け、製造インフラと基板供給の面で急拡大する市場に対応可能であり、今後10年以上は圧倒的なシェアをもつと予想されているシリコンパワー半導体の高効率化および低損失化を目的としている。日本の産業競争力強化においても、圧倒的に大きな市場をもつシリコンパワー半導体の進化が必須と考える。

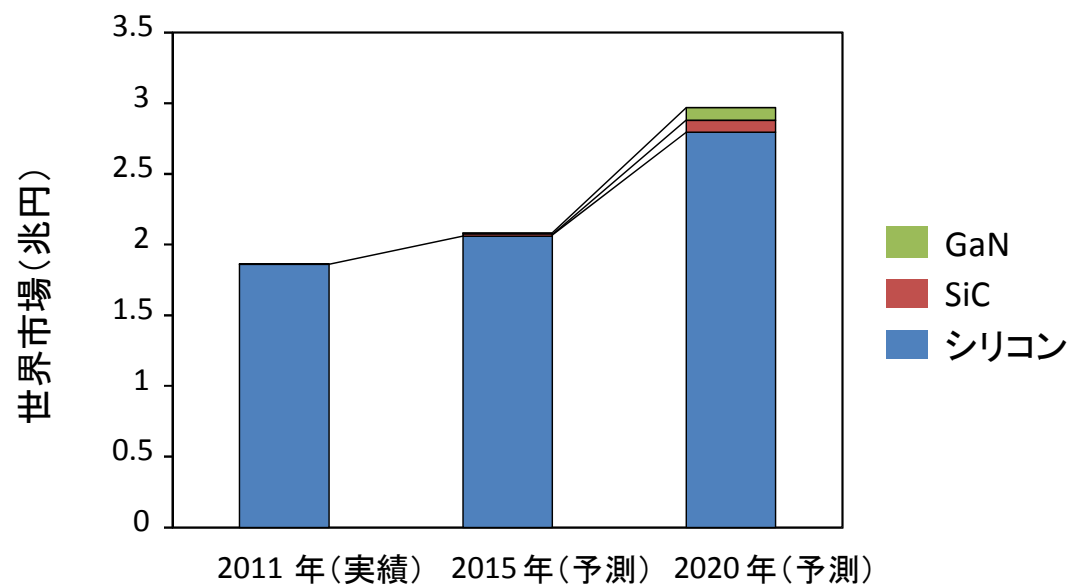


図 7 パワー半導体の世界市場 ([8]をもとに再構成)

第2章 パワー半導体の新しい理論性能と理論性能追求の課題

2. 1 パワー半導体の新しい理論性能

現在用いられているシリコンパワー半導体は、材料物性に起因する性能限界により飛躍的な性能改善は困難と考えられており(図 6)、新しい着想に基づくデバイスの実現が求められてきた。特にオン抵抗を FOM にした指標では、パワーMOSFET などユニポーラ型パワー半導体の性能は最大電界強度から決まる耐圧とのトレードオフ関係により決まり高性能化に理論的な限界がある。

SJ-MOSFET は、パワーMOSFET と同じユニポーラ素子でありながら、材料物性に起因する性能限界を越えた高性能化が可能なデバイスである。周期的な p/n ピラー構造により耐圧に関係なくオン抵抗を小さくできるのが特徴であり、ピラー幅を狭くするほどオン抵抗の低減が可能になる。ピラー形成プロセスの進歩に伴い、スーパージャンクション MOSFET のオン抵抗は低減している(図 8)。

IGBT などバイポーラ型パワーデバイスは導通時に電子とホールを蓄積するため、ユニポーラ型パワーデバイスと比べてさらにオン抵抗の低減が可能である。特にビルトイン電圧による損失の比率が小さい高電圧領域においてオン抵抗低減のメリットが大きい。バイポーラ型パワー半導体の最大キャリア蓄積量はオージェの再結合モデルで決定されるため、理論的には最大キャリア蓄積量までさらにオン抵抗の低減が可能である。また、全電流を電子の拡散電流で流す狭メサトレンチ構造を用いた I G B T も提案され

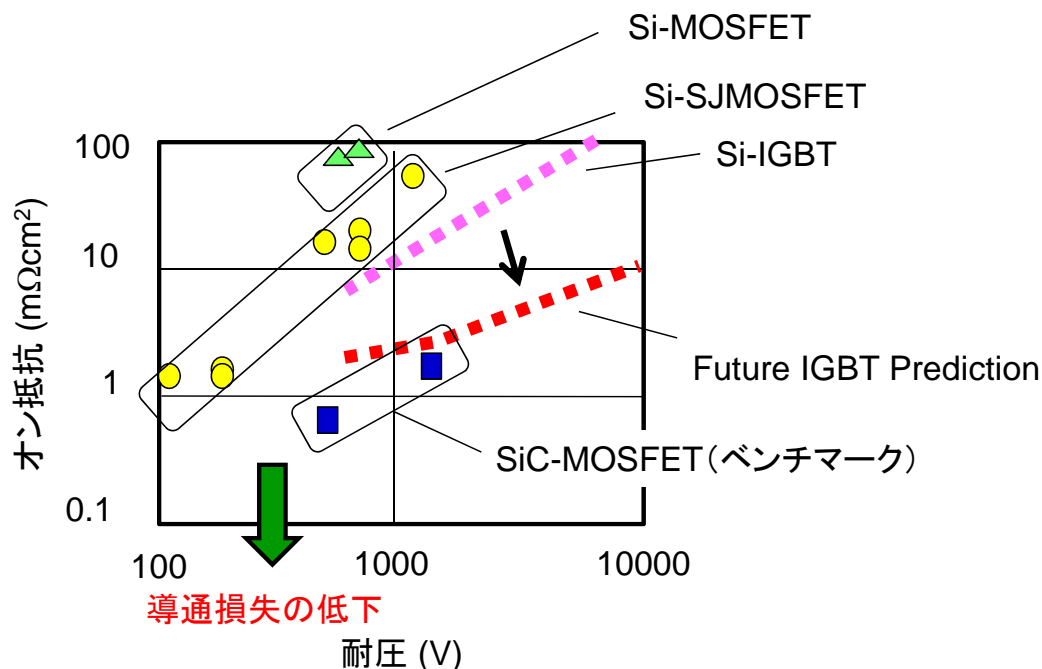


図 8 シリコンパワー半導体のオン抵抗

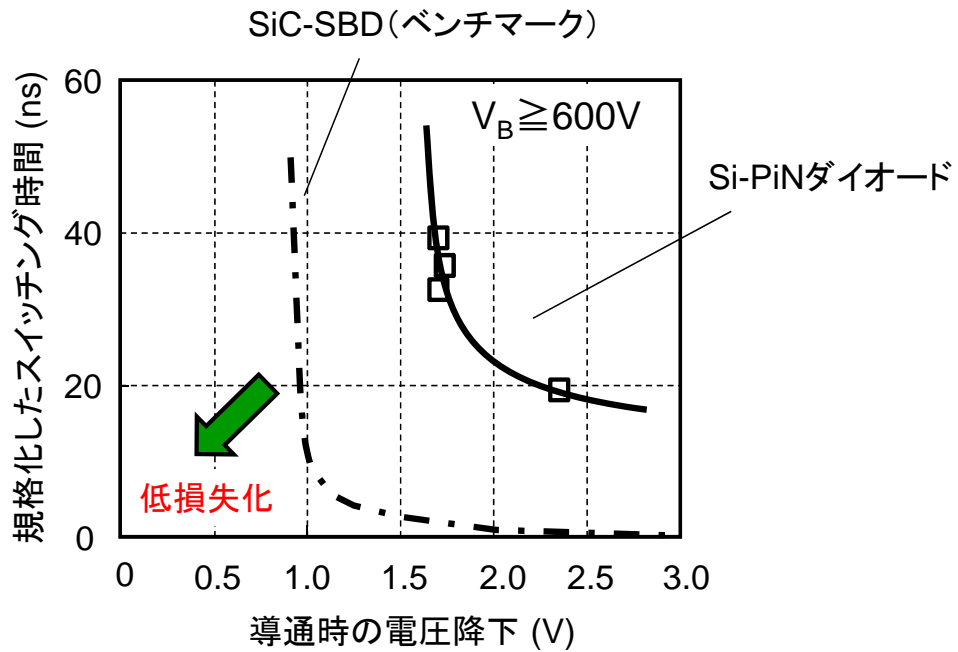


図 9 シリコンパワー半導体のスイッチング時間と導通時の電圧降下

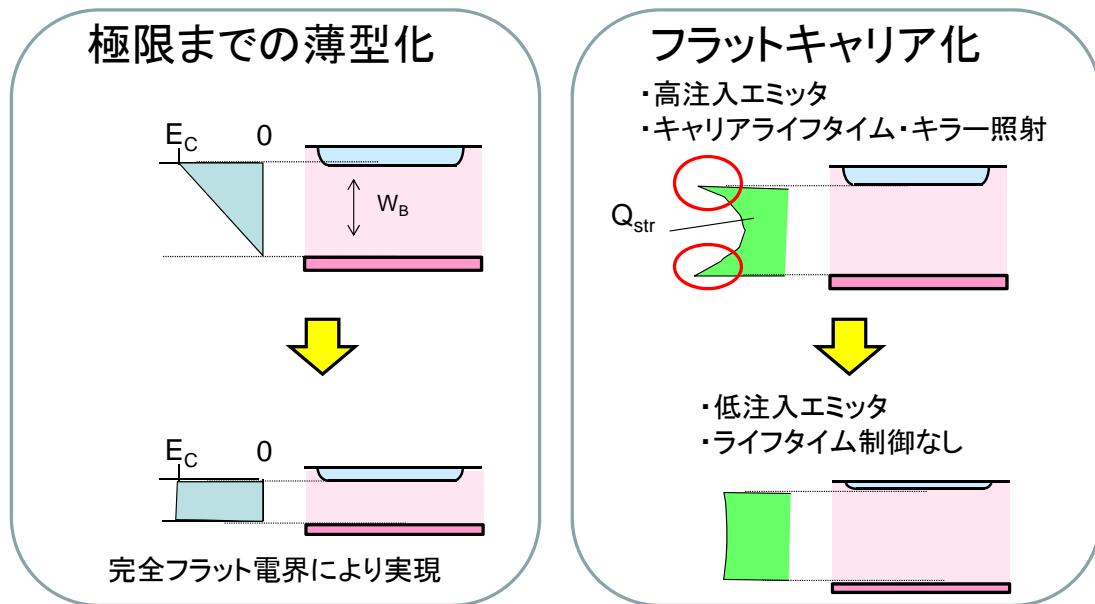


図 10 シリコンパワー半導体高性能化のアプローチ

ており、飛躍的なオン抵抗の低減が可能である [9]。これらの原理によりキャリア蓄積量を限界まで高めた数千ボルト級 IGBT のオン抵抗は、SiC のユニポーラ素子と同等まで低抵抗化可能である。

これまで述べたように、バイポーラ型パワー半導体はキャリア蓄積により材料限界を越えたオン抵抗の低減が可能である。しかしキャリア蓄積によりユニポーラ型半導体よりもスイッチング時間が長くなる欠点が生じる。定格電圧 600 V で現在最高性能の PiN ダイオードは、300 A の時に電圧降下が 1.7 V、スイッチング時間が 30 から 40 ns である (図 9)。シリコン材料では PiN ダイオード以外にはこの定格電圧で 300 A を流せるダイオードが存在しないため SiC-SBD をベンチマークにすると、材料物性と導通原理の違いによるスイッチングスピードの遅さが明確に示される。

本研究では、導通損失の低減に有利なバイポーラ型パワー半導体の動作に着目し、シリコンパワー半導体の飛躍的な性能改善を理論的に試みた。今回用いたコンセプトは、ハードパンチスルーによる「極限までの薄型化」と低注入エミッタによりライフタイムキラーを用いない「フラットキャリア化」である (図 10) [10]。極限までの薄型化は蓄積キャリア量を低減するため導通損失とスイッチング損失を小さくし、フラットキャリア化は導通損失低減に対して寄与の小さな余剰キャリアを減らすためスイッチング損失を小さくする。

低注入エミッタの設計法は、エミッタを浅く低濃度にして逆注入電流を大きくすることである。これにより i 層中のエミッタ付近に蓄積している余剰なキャリアを少なくすることができる (図 11)。従来の高注入 P エミッタ層中の電子電流は以下で表される。

$$J_n = qD_n \frac{dn}{dx} = qD_n \frac{n_1 - n_{p0}}{L_n} = qD_n \frac{\frac{n_0^2}{N_A} - \frac{n_i^2}{N_A}}{L_n} = qD_n \frac{(n_0^2 - n_i^2)}{N_A L_n} \quad (1)$$

次に低注入 P エミッタ層中の電子電流の式を示す。

$$J_n = qD_n \frac{n_1}{l} = qD_n \frac{n_0^2}{l N_A} \quad (2)$$

ここで、 J_n は電子電流、 q は素電荷、 D_n は拡散係数、 L_n は拡散長、 n_1 はエミッタと i 層境界での電子密度、 n_{p0} はエミッタ内での電子密度、 n_i は真性キャリア密度、 N_A はエミッタ中の不純物密度、 l はエミッタ長を示す。従来の深い拡散層による高注入エミッタ層は、電子電流 J_n を増やすために P エミッタの不純物濃度である N_A を薄くするしか方法がないが、オーミック・コンタクトを取るために必要とされる表面濃度の下限があり低注入化

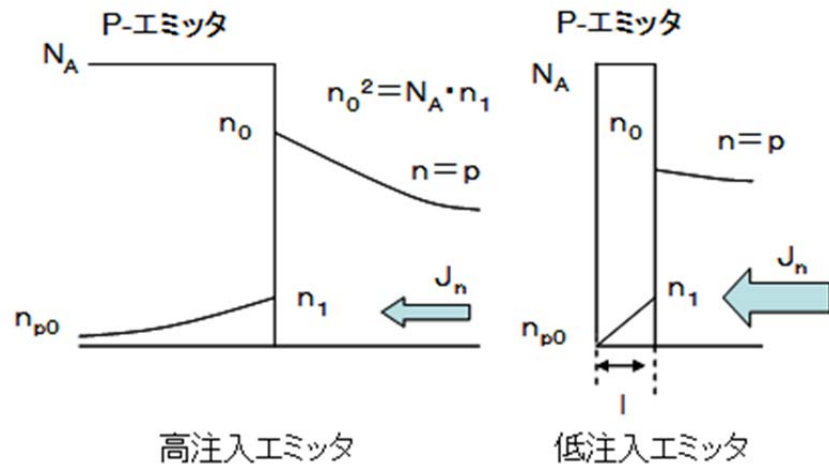


図 11 高注入エミッタと低注入エミッタのエミッタ付近のキャリア分布
([29]を元に再構成)

が難しい。浅い拡散層による低注入エミッタ構造に変更すると P エミッタ幅が拡散長 L_n より短くなるので l が小さくなることと n_1 の項が消えることにより電子電流を増やすことができ、オーミック・コンタクトを取りながら電子電流を大きくすることが可能である。

「極限までの薄型化」と「フラットキャリア化」のコンセプトに基づくバイポーラ型パワー半導体の理論性能を計算する。スイッチング素子では、スイッチングで排出す電荷量を順方向電流で割る (Q/I) ことにより、ミラー効果を除いたスイッチング時間の概算値となる。P i N ダイオードの場合も同じ計算式により逆回復時間の概算値となる。

○PiN ダイオードと IGBT の理論性能

・式の仮定

- ① 高抵抗層中の不純物濃度より十分高い電子とホールが蓄積され、電荷中性条件により電子とホールの密度はほぼ同じである
- ② 高抵抗層(i 層中)はフラット・キャリア・プロファイルとしドリフト電流のみである。

・計算式の導出

高抵抗層中では、オン時には電子とホールが蓄積されて双方が電流を流すキャリアとなる。仮定②より高抵抗層中の電流密度 J は

$$J = q \cdot (\mu_n + \mu_p) \cdot n \cdot E \quad (3)$$

で表される。ここで μ_n は電子移動度、 μ_p はホール移動度、 n は蓄積されている電子およびホールの密度とする(仮定①)。また蓄積されている電荷量 Q_{str} は、

$$Q_{str} = q \cdot A \cdot L_{NB} \cdot n \quad (4)$$

となる。ここで、 L_{NB} は高抵抗層の長さ、 A はデバイス面積である。一方、高抵抗層中のキャリア密度は一定なので、ドリフト電流を流す内部の電界も一定であり、

$$E = \frac{(V_F - V_{built})}{L_{NB}} \quad (5)$$

となる。ここで V_F はPiNダイオードの順方向電圧降下を示す。上の2つの式(4),(5)を、電流密度の式(3)に代入し、

$$I_F = A \cdot J = (\mu_n + \mu_p) \cdot \frac{Q_{str} \cdot (V_F - V_{built})}{L_{NB}^2} \quad (6)$$

となる。 L_{NB} は耐圧から決まるが、最短の場合は、

$$L_{NB} = \frac{V_B}{E_{crit}} \quad (7)$$

となる。ダイオードの場合は、再結合を考慮せず高抵抗層に蓄積された電荷が全て逆回復時(導通状態から逆バイアスに移行する過渡状態)に排出されると仮定し、

$$\frac{Q_{RR}}{I_F} = \frac{L_{NB}^2}{(\mu_n + \mu_p)(V_F - V_{built})} = \frac{V_B^2}{(\mu_n + \mu_p)(V_F - V_{built})E_{crit}^2} \quad (8)$$

となる。

IGBTの場合、内部のキャリアが排出されている間もPエミッタからのホールの注入が起きている。Pエミッタのターンオフ期間での注入効率を γ とすると、

$$Q_{off} = Q_{str} \cdot \left(\frac{1}{1-\gamma} \right) \quad (9)$$

となる。たとえば $\gamma=0.5$ の場合、P エミッタ側に排出される電子により、P エミッタから同じ量のホールが注入されるため、排出電荷は蓄積電荷の 2 倍になる。フラット・キャリア・プロファイルの場合、P エミッタの注入効率は 0.25 程度だが、ターンオフのテール期間には注入効率が上昇するため、ここでは $\gamma=0.5$ が妥当な値と考えられる。以上により IGBT の場合は以下ようになる。

$$\frac{Q_{RR}}{I_C} = \frac{V_B^2}{(\mu_n + \mu_p)(V_{CE} - V_{built})(1-\gamma)E_{crit}^2} \quad (10)$$

ビルトイン電圧は、P/N の両方のエミッタを考慮し、以下の式(11)になる。

$$V_{built} = 2 \frac{kT}{q} \ln \frac{n}{n_i} \quad (11)$$

但し、 n_i は真性キャリア密度、 k はボルツマン定数、 T は絶対温度である。蓄積キャリアが $1 \times 10^{16} / \text{cm}^2$ では、室温で V_{built} は約 0.7 V 程度となる。蓄積キャリアが 1 桁増えるたびに室温では約 52 mV 上昇する。

・式の限界

チャンネル抵抗や基板抵抗は考慮していない。シリコンの場合、精度を上げるためには考慮する必要があるが概算値では適用可能。SiC の PiN ダイオード、IGBT では基板抵抗とチャンネル抵抗の値を V_F や V_{CE} に反映する必要がある。

現状のパワー半導体（データシート）の値および現状のバイポーラ・パワー半導体モデルの理論性能を比較すると、2 倍の高速化と損失半減が同時に達成され、十分に高効率化の余地が残されていることが判明した(図 12)。特に導通損失の小さな領域では、SiC ショットキーバリアダイオードとほぼ同等の性能まで接近することも分かった。家電、HEV や電力用途に多く用いられる耐圧 600V 以上のシリコンパワー半導体の理論性能は従来考えられているよりも遥かに高いことが理論的に示された。

これまで述べたモデルはバイポーラ型デバイスを念頭に置き構築したモデルであるが、以下に示すようにシリコンからワイドバンドギャップまで全ての半導体材料で理論

性能が計算できる(図 13)。

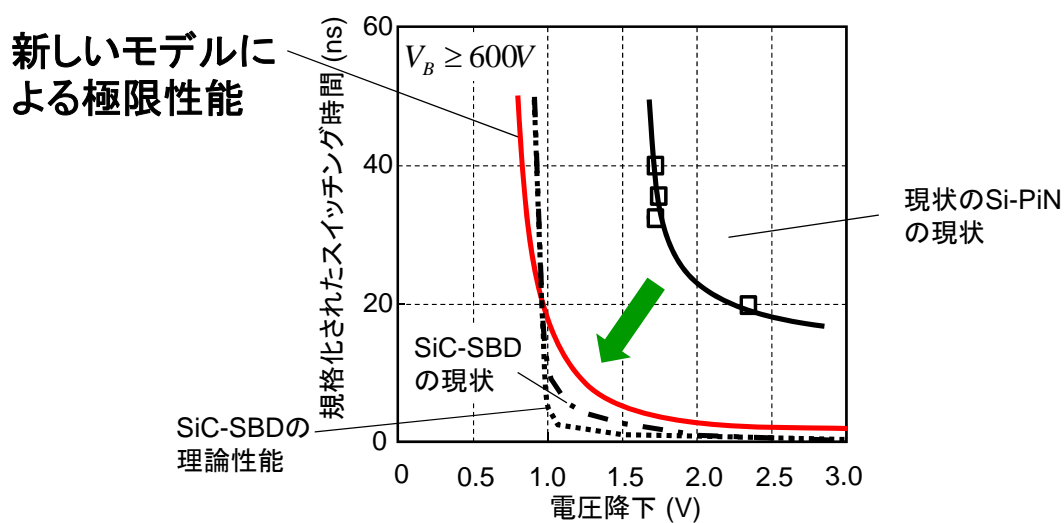


図 12 バイポーラ動作モデルにより計算したシリコンパワー半導体の性能

○MOSFET と SBD の理論性能

・式の仮定

シリコン MOSFET では、

- ① ドリフト電流のみ流れている
 - ② ドリフト層が全て空乏化する
- という仮定から式を構築している。

・計算式の導出

MOSFET ドリフト層中のドリフト電流密度 J は、電界 E 、電子密度 n 、素電荷 q 、電子の移動度 μ_n を用いて、

$$J = q \cdot \mu_n \cdot n \cdot E \quad (12)$$

で表される。

オフ状態で排出される電荷量は次のように空乏層内の電荷を積分することで得られ

る。

$$Q_{off} = \int_{Depletion_region} q \cdot n dv = L_{deplete} \int_{Cross_section} q \cdot n ds \quad (13)$$

空乏層の長さを $L_{deplete}$ とする。スーパージャンクション構造にも対応するように積分形式で表している。

ここで、②から、

$$L_{deplete} = L_{drift} \quad (14)$$

と仮定する。オン状態での電界 V_{DS}/L_{drift} から計算して得られる電流は、

$$I_D = \mu_n \int_{Cross_section} q \cdot n ds \frac{V_{DS}}{L_{drift}} = \mu_n \frac{Q_{off} \cdot V_{DS}}{L_{drift}^2} \quad (15)$$

となる。 $R_{on}=V_{DS}/I_D$ の関係を上の式に用いると、次の式になる。

$$Q_{off} \cdot R_{on} = \frac{L_{drift}^2}{\mu_n} \quad (16)$$

L_{drift} は耐圧設計によって決まるが、

$$L_{drift} = \alpha \frac{V_B}{E_{crit}} \quad (17)$$

で計算する。通常の DMOSFET では $\alpha = 2$ 弱、矩形の電界分布を採用すると理論的には $\alpha = 1$ となる。ここでは $\alpha = 1$ で計算する。この結果、

$$Q_{off} \cdot R_{on} = \frac{V_B^2}{\mu_n \cdot E_{crit}^2} \quad (18)$$

となる。オームの法則からこの式を変形して、

$$\frac{Q_{off}}{I_D} = \frac{V_B^2}{\mu_n \cdot E_{crit}^2 \cdot V_{DS}} \quad (19)$$

となる。以上の式はスーパージャンクション MOSFET にも対応する。

SBD の場合も上記の式でスイッチングスピードが計算できる。SBD の V_F は上記の V_{DS} に SBD の閾値(たとえば 0.9 V)を加えた次の式で計算できる。

$$\frac{Q_{off}}{I_D} = \frac{V_B^2}{\mu_n \cdot E_{crit}^2 \cdot (V_F - V_{th})} \quad (20)$$

・式の限界

チャンネル抵抗や基板抵抗は考慮していない。基板抵抗やチャンネル抵抗がドリフト層の抵抗に比べて無視できない SiC 素子では理想的な場合の値となり、実際のスイッチング時間より大幅に短くなる。

(3)GaN-power HEMT

・式の仮定

二次元ガス密度を $1 \times 10^{13} \text{cm}^{-2}$ とし N_{2DEG} という記号で表す。二次元ガスがターンオフの際に吐き出される電荷によりターンオフ電流が流れるものとする。活性化された二次元ガスの存在する面積のデバイス全面積に対する比を α とすると、

$$Q_{off} = A \cdot q \cdot N_{2DEG} \cdot \alpha \quad (21)$$

Q_{off}/I_D は、

$$\frac{Q_{off}}{I_D} = \frac{q \cdot N_{2DEG} \cdot \alpha \cdot R_{on} A}{V_{DS}} \quad (22)$$

2. 2 TCAD シミュレーションによる理論性能の確認

シリコンパワー半導体の高性能化可能性の確認のため、筆者らはシリコン P i N ダイオードに薄型化プロセスを適用した場合の特性を TCAD でシミュレーションした。具体的には「極限までの薄型化」と「フラットキャリア化」アプローチの実現に求められ

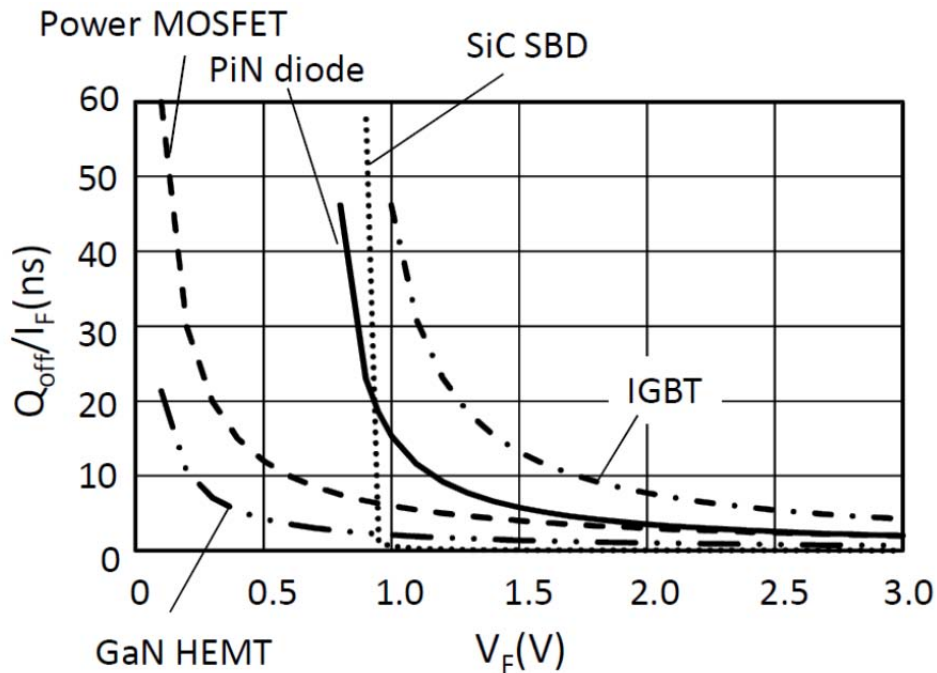


図 13 パワー半導体の新しい理論性能（[10]をもとに再構成）

る構造である「薄型デバイス」、「低注入エミッタ」、および「薄層終端構造」をプロセス面および特性面から検討した(図 14)。

パワー半導体は、通常は電源電圧の約 2 倍の耐圧で設計するので、耐圧 600 V のパワー半導体では高抵抗層の比抵抗を考慮すると 40 μm 程度の基板厚が求められる。この点に関しては既に Infineon から基板厚 40 μm の IGBT が ISPSD2011 で報告されており実デバイスが実現されている [11]。低注入エミッタに関しても、600 V 耐圧を確保するのに最低限必要な表面濃度と拡散深さによる低注入エミッタの実デバイスでの形成が報告されており、これについてもプロセスおよび特性上の問題はない [12]。薄層終端構造は、CMOS プロセスを使った低注入エミッタとの同時形成を考え、エミッタ深さと同程度の 0.5 μm 以下への薄層化が求められる。これまでサブミクロンオーダーでの終端構造では高耐圧化が難しいと考えられており検証されていなかったが [13]、薄型の終端構造について TCAD シミュレーションしたところ、従来の数十本のリング構造に対し 10 倍の数百本形成することで 0.5 μm 以下に薄層化しても従来の

数 μm 深さのリングと同等の耐圧が確保できることが判明した [14]。

プロセスおよび特性面から薄型化とフラットキャリア化実現の見込みが得られたため、TCADによりインバータを模擬した外部回路を接続した特性を計算した。TCADシミュレーションにより電界とキャリア分布を分析し、バイポーラ型デバイス高性能化のコンセプトが達成されていることを確認した(図 15)。高性能化された PiN ダイオ

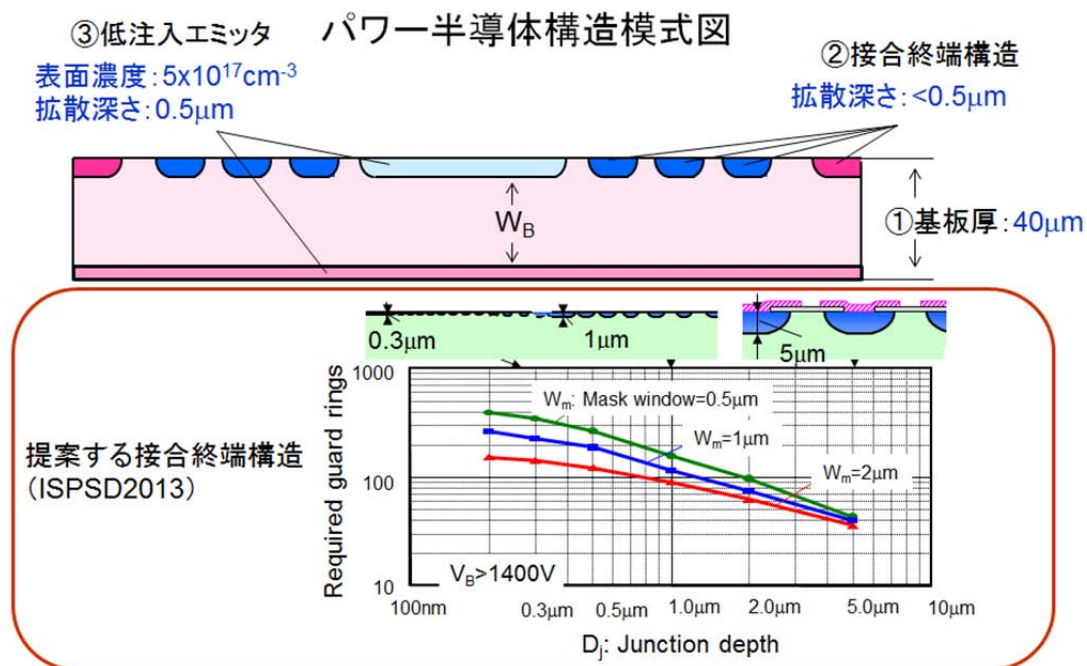


図 14 シリコンパワー半導体高性能化のアプローチ実現に必要とされる仕様 ([11] [12] [14]参照)

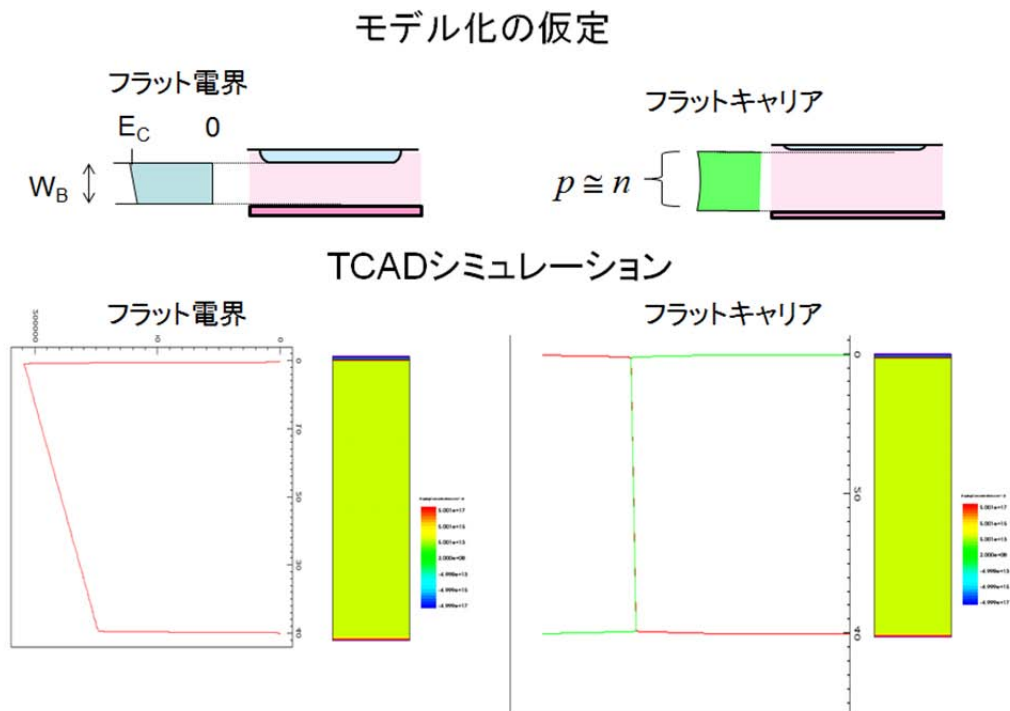


図 15 理論性能モデルの高性能化アプローチの確認 (TCAD シミュレーション)

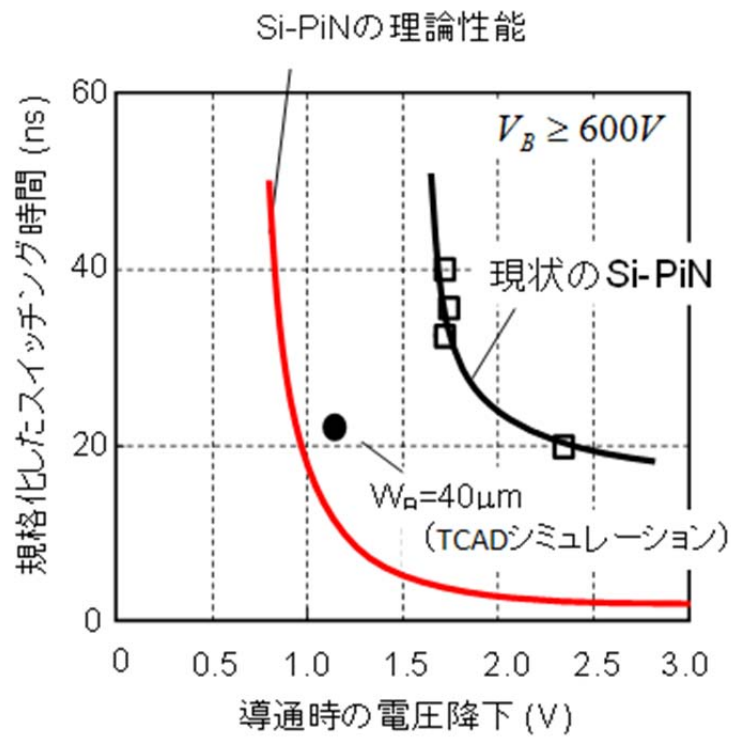


図 16 シリコン PiN ダイオードの高性能化 (TCAD シミュレーション)

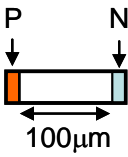
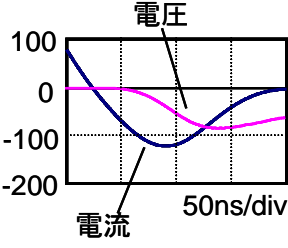
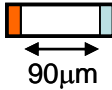
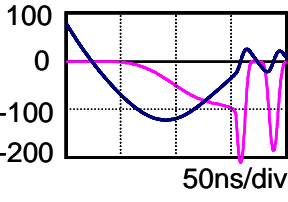

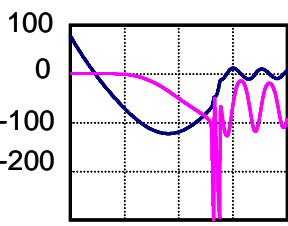

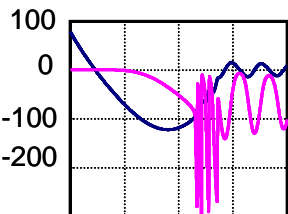

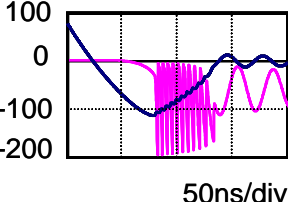
ードの損失はバイポーラ動作モデルで予測された理論限界とほぼ一致し、外部回路を接続した TCAD シミュレーションにおいてもバイポーラ・デバイス高性能化の可能性を得た(図 16) [15]。

2. 3 理論性能の追求によるノイズの発生

TCAD シミュレーションの結果、薄型化によりパワー半導体の低損失化が進むことが判明した (図 16)。しかし同時に、このコンセプトによる波形振動の発生という課題が明らかになった。I 層厚が $100\ \mu\text{m}$ の PiN ダイオードでは導通時の電圧降下や逆回復損失は大きいが無ノイズで発生しない。しかしこの I 層厚からさらに薄型化し $90\ \mu\text{m}$ にすると、低損失化される一方で低周波ノイズが発生する。そしてさらに薄型化すると低周波ノイズに加えて高周波ノイズも発生する。この例は PiN ダイオードの例であるが、IGBT などのスイッチング素子でも低濃度層の厚みが薄くなるほどノイズを起こし易く、パワー半導体低損失化の課題となることが判明した (表 1)。

パワー半導体はベース層 (低濃度層) の薄型化により大幅な高効率化が期待できるが、波形振動の発生とトレードオフになっていることが判明した。ノイズ以外にも宇宙線破壊や短絡破壊など薄型化により発生しやすくなる課題があるが、特にノイズは高耐圧パワー半導体を薄型化する過程で最初に発生し、パワーエレクトロニクス装置を誤動作させる深刻な問題である。また短絡破壊や宇宙線による破壊は解析式や確率を利用した設

表 1 薄型化により発生する波形振動 (シミュレーション)

ダイオード 構造	順電圧 降下	リバース リカバリ 電荷	リバース リカバリ 損失	リバースリカバリ波形	
	1.85V	11.7 μ C	2.44mJ	リバースリカバリ 電流密度 (A/cm ²)	
	1.71V	10.5 μ C	2.19mJ	リバースリカバリ 電流密度 (A/cm ²)	
	1.59V	9.7 μ C	1.97mJ	リバースリカバリ 電流密度 (A/cm ²)	
	1.47V	9.3 μ C	1.89mJ	リバースリカバリ 電流密度 (A/cm ²)	
	1.13V	6.7 μ C	1.64mJ	リバースリカバリ 電流密度 (A/cm ²)	

計法が提案されているが [16] [17] [18]、波形振動にはそのような設計法はない。本研究では、先に述べた他の信頼性問題のようにデバイス設計法による波形振動の抑制についても提案する。

2. 4 ノイズの分類

ノイズは、スイッチング素子およびダイオードなどのパワー半導体の種類や、バイポーラ・デバイスおよびユニポーラ・デバイスなどの動作原理を問わず、全てのパワー半導体でターンオフ（逆回復）時やアバランシェ試験時および回路異常（アバランシェ）時に発生する（表 2） [19] [20] [21] [22]。

低周波ノイズは正弦波に近く、電圧と電流がそれぞれ電源電圧と 0 A を中心に振動する。10 MHz から 100 MHz までは典型的な振動周波数であり(図 17) [23]、パワー半導体のターンオフ（逆回復）時に発生する。アバランシェ現象によるノイズは鋸刃状の電圧波形と階段状の電流波形が特徴であり、LC 共振による振動周波数に比べて 1桁高い 100 MHz から 1 GHz が典型的な振動周波数である。

表 2 LC 共振とアバランシェ現象による波形振動例（ [19] [20] [21] [22]参照）

	LC共振による振動	アバランシェ現象による振動
PINダイオード		
スイッチング素子	IGBT 	パワー MOSFET

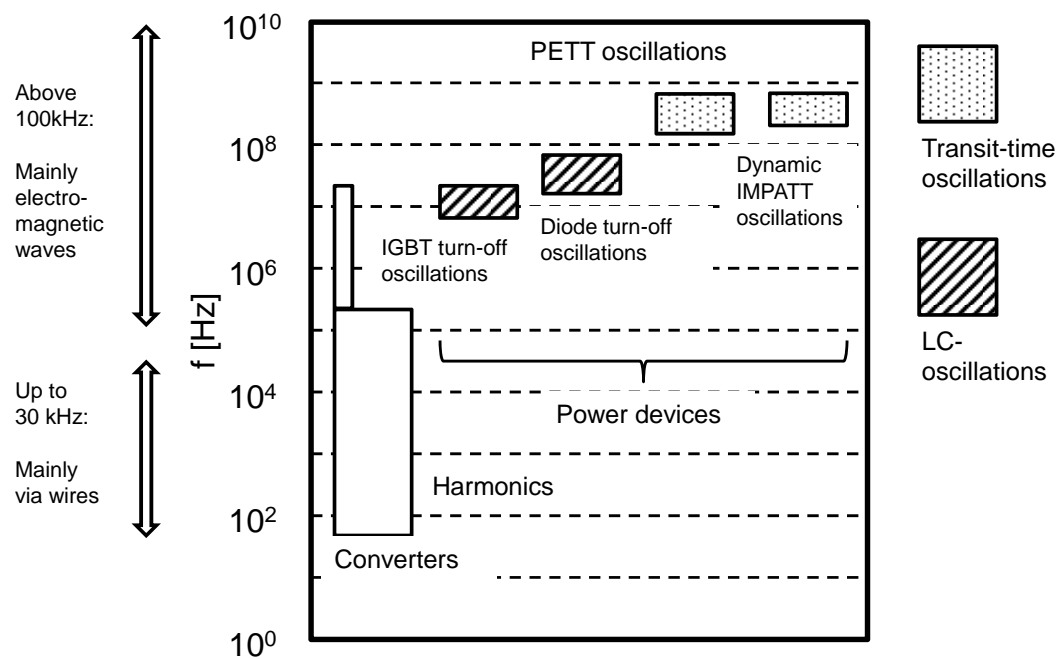


図 17 パワーエレクトロニクス機器から発生するノイズの種類と周波数
([23] をもとに再構成)

第3章 ダイナミック・パンチスルーによる低周波ノイズ

3. 1 ノイズ発生メカニズム

3. 1. 1 IGBT の場合

IGBT の振動発生メカニズムを TCAD シミュレーションで分析し(図 18)、電界分布とキャリア分布から次のようなことが分かった。一つ目は電界分布がポワソン方程式に従うということであり、二つ目が高抵抗層から蓄積キャリアが完全に無くなる瞬間に波形振動が発生することである。

振動が発生しない場合を次に述べる。ターンオフ前の導通状態ではベース層内にキャリアが蓄積しており(図 19,T1)、ゲートにターンオフ信号が入りチャンネルが閉じると電子注入が止まり空乏層の伸びとともに電圧が上昇する(T2)。ターンオフ直前のサージ電圧が発生している状態では空乏層が N バッファ層近くまで伸びた状態となるが、パンチスルーせずにターンオフが終了する(T3)。このようにターンオフ過程で空乏層端がNバッファ層にパンチスルーしない場合では、波形振動など急激な波形変化を起こさずにターンオフする。

次に波形振動が起こる場合について説明する。ターンオフ動作中にゲート電圧が閾値に達すると、N ベース層への電子注入が止まりベース層中を空乏層は伸び始める(図 20, T1 から T2) [21]。電子注入が止まってもコレクタからは L 負荷により強制的にホールが注入されるので、N ベース層内をホールが通過している状態で空乏層はコレクタ側

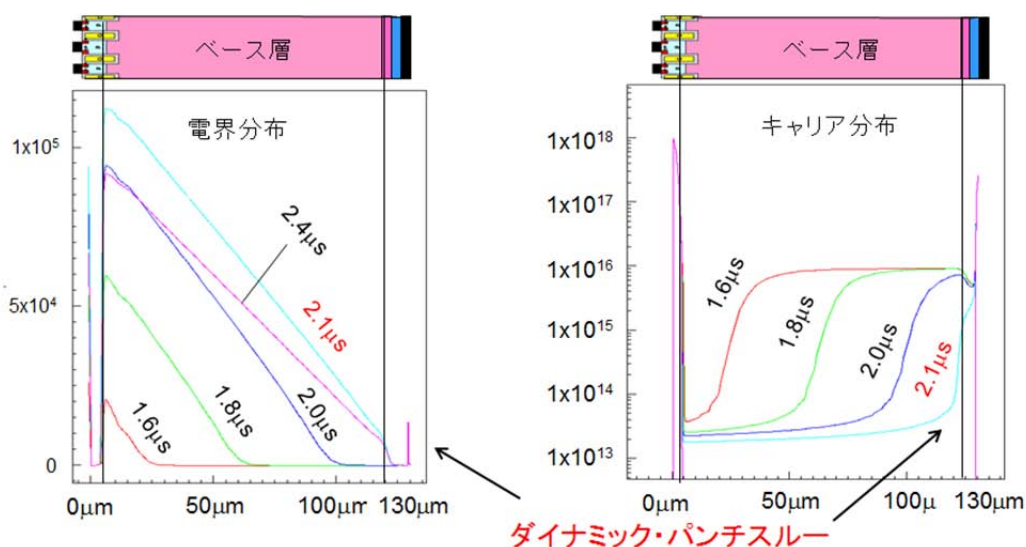


図 18 IGBT で振動が発生する場合のベース層内の電界分布とキャリア分布

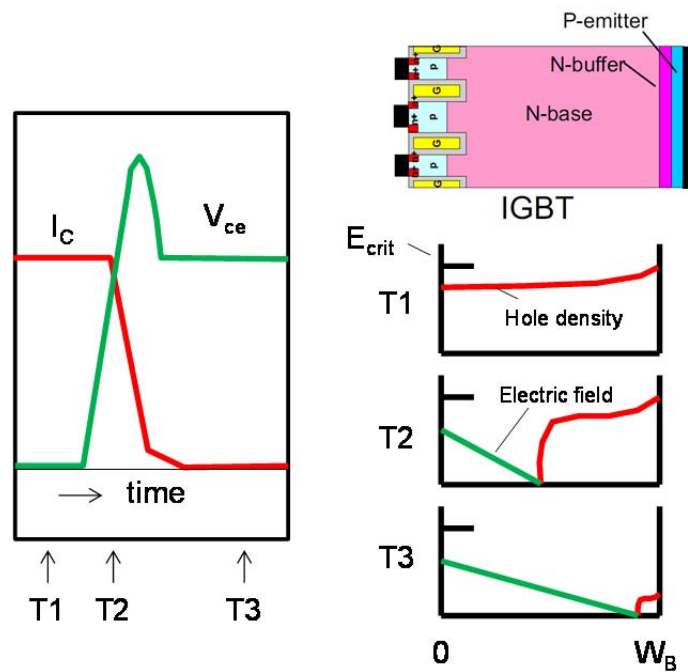


図 19 IGBT のターンオフ波形振動が発生しない場合

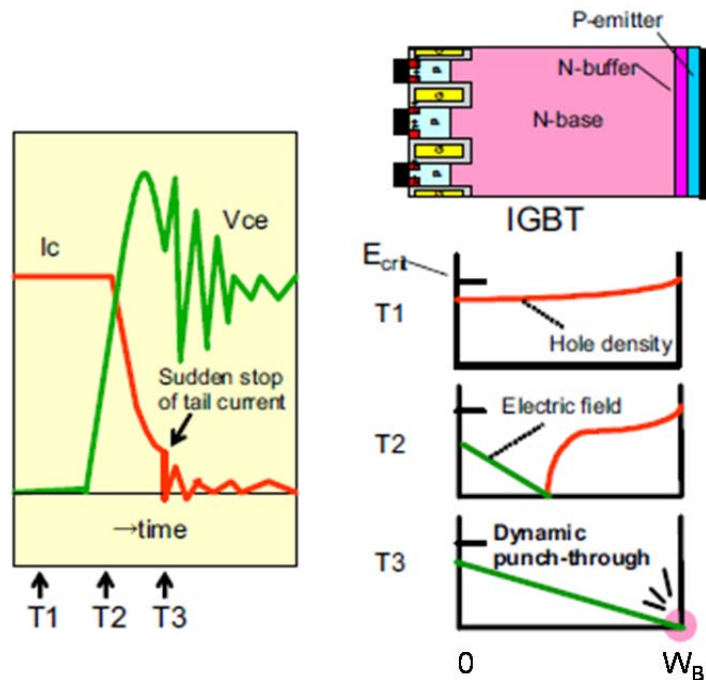


図 20 ダイナミック・パンチスルーによる IGBT の波形振動発生

に向かって伸び続ける。その後、空乏層が N バッファ層に到達し N ベース層中の蓄積

キャリアが完全に排出されると、高い di/dt によりサージ電圧が発生し波形振動が始まる (T3)。この蓄積キャリアが完全に排出される現象を本論文では“ダイナミック・パンチスルー”と呼ぶ。ダイナミック・パンチスルーが発生した後は LC 共振により電圧波形、電流波形ともに激しく振動する。に達すると、N ベース層への電子注入が止まりベース層中を空乏層は伸び始める (図 20, T1 から T2) [21]。電子注入が止まってもコレクタからは L 負荷により強制的にホールが注入されるので、N ベース層内をホールが通過している状態で空乏層はコレクタ側に向かって伸び続ける。その後、空乏層が N バッファ層に到達し N ベース層中の蓄積キャリアが完全に排出されると、高い di/dt によりサージ電圧が発生し波形振動が始まる (T3)。この蓄積キャリアが完全に排出される現象を本論文では“ダイナミック・パンチスルー”と呼ぶ。ダイナミック・パンチスルーが発生した後は LC 共振により電圧波形、電流波形ともに激しく振動する。

3. 1. 2 PiN ダイオードの場合

PiN ダイオードの振動発生メカニズムを TCAD シミュレーションで分析した結果、基本的に IGBT と同じであることが判明した。つまり電界分布がポワソン方程式に従い、高抵抗層から蓄積キャリアが完全に無くなる瞬間に波形振動が発生する。ただし PiN ダイオードは主接合側のアノード側に加えカソード側からも空乏層が伸びる特徴をも

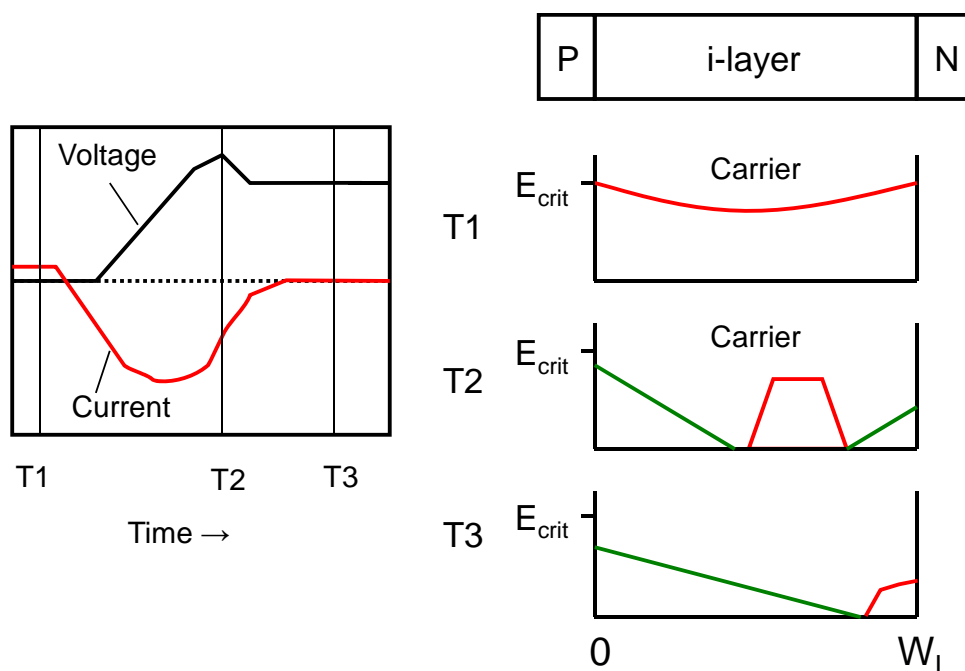


図 21 PiN ダイオードのターンオフ波形振動が発生しない場合

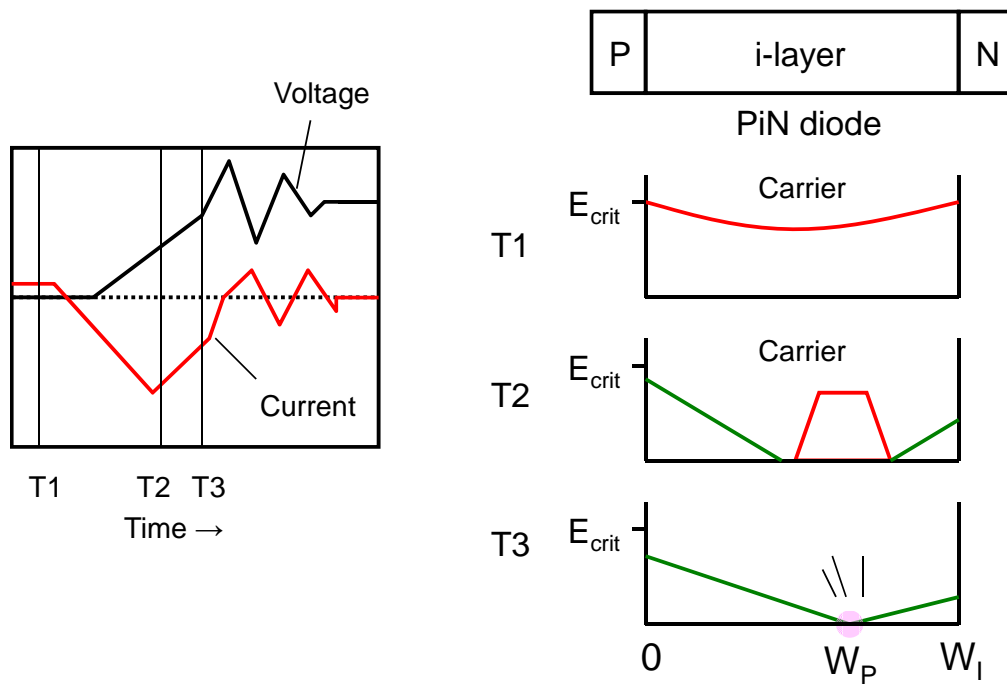


図 22 ダイナミック・パンチスルーによる PiN ダイオードの波形振動発生

っている。次に分析から判明した振動発生メカニズムを詳述する。

波形振動が発生しない場合を以下に述べる。IGBT などスイッチング素子がターンオンするとダイオードを流れる電流がスイッチング素子に転流を始める（図 21, T1 から T2）。 I_L 負荷により強制的にエミッタからホールが注入される IGBT とは異なり、PiN ダイオードに蓄積しているホールと電子はそれぞれアノード側とカソード側から排出され、I 層中のキャリアの減少に応じてダイオードの両側から I 層の中央部に向けて空乏層が伸びる。この逆回復動作中に蓄積キャリアが完全に排出されない場合は、ダイナミック・パンチスルーを起こさず波形振動など急激な波形変化はない。

次に波形振動が起こる状態について説明する。IGBT などスイッチング素子がターンオンするとダイオードの電流がスイッチング素子に転流を始め、逆回復電流が流れ始めた後に空乏層が両側から I 層中央に向かって伸び始める（図 22, T1 から T2） [19]。その後逆回復電流が流れている状態で蓄積キャリアが完全に排出されると、両側から伸びる空乏層が I 層内で繋がり高い di/dt によるサージ電圧と波形振動が発生する (T3)。この現象も蓄積キャリアが完全に排出される現象であるため、本論文では IGBT と同様に“ダイナミック・パンチスルー”と呼ぶ。

3. 2 ノイズ発生 の 判定法

3. 2. 1 IGBT の場合

これまで述べたターンオフ時の内部現象からダイナミック・パンチスルーが起こる条件を解析的に計算する。IGBT のチャンネルが閉じると空乏層が伸び、Nベース層中の空乏層をホールのみが流れる。この状態をポアソン方程式に当てはめると以下の式(23)が得られる。電界の傾きはホール電流と高抵抗基板のドーピング濃度による電荷密度で決定される。

$$\frac{dV_{CE}}{dx} = \int_{W_{dl}} \frac{x \cdot q(N_B + N_h)}{\epsilon} \cdot dx \quad (23)$$

ここで V_{CE} 、 x 、 W_B 、 q 、 N_B 、 N_h 、 ϵ はそれぞれエミッターコレクタ間電圧、空乏層内の位置、空乏層厚、素電荷、ベース濃度、空乏層中のホール密度、シリコンの誘電率を表す。

ゲートがオフされた後の空乏層中の電流は飽和速度でホールが移動している状態であるため、空乏層中の電流は全てホール電流と考えられる。

$$I_C = q \cdot N_h \cdot v_{Sh} \cdot A \quad (24)$$

ここで I_C 、 v_{Sh} 、 A はそれぞれコレクタ電流、ホールの飽和速度、IGBT チップの有効面積を示す。

式(24)を式(23)に代入し積分すると、式(25)のコレクターエミッタ間電圧とコレクタ電流の関係が得られる。

$$I_C = v_{Sh} \cdot A \cdot \left(\frac{2 \cdot \epsilon \cdot V_{CE}}{W_{dl}^2} - q \cdot N_B \right) \quad (25)$$

ダイナミック・パンチスルーが発生するのは空乏層幅がベース厚 (W_B) に到達した瞬間なので、 W_{dl} に W_B を代入し式(26)のダイナミック・パンチスルーが発生する電流と電圧の関係式が得られる。

$$I_C = v_{Sh} \cdot A \cdot \left(\frac{2 \cdot \varepsilon \cdot V_{CE}}{W_B^2} - q \cdot N_B \right) \quad (26)$$

この式(26)より、波形振動が発生するコレクタ電流はコレクターエミッタ間電圧に比例することが予測される。

実際に1200V系IGBTを用いてインバータを模擬した回路でダブルパルスによるL負荷スイッチング試験を行い(図23)、ターンオフ電流が異なる3条件で波形を取得し電流－電圧軌跡と式(26)から計算される値を同じグラフ上にプロットした(図24)。その結果、ターンオフ電流が比較的低い30Aと90Aの場合は波形振動がみられなかったが、ターンオフ電流が150Aの場合は25A－940Vの条件で1000V近くに達するサージ電圧と振動が発生した。電流と電圧の値はダイナミック・パンチスルー条件と一致しており、振動条件の妥当性が確認された。

さらにターンオフ電流、寄生インダクタンス、そしてゲート抵抗を変えて測定し、得られた電流－電圧軌跡とダイナミック・パンチスルー条件をプロットした(図25)。ターンオフ時の回路条件を変えてターンオフ軌跡を変化させても振動が発生する条件はダイナミック・パンチスルー条件と一致し、回路条件によらず振動発生条件が使えることが確認できた。

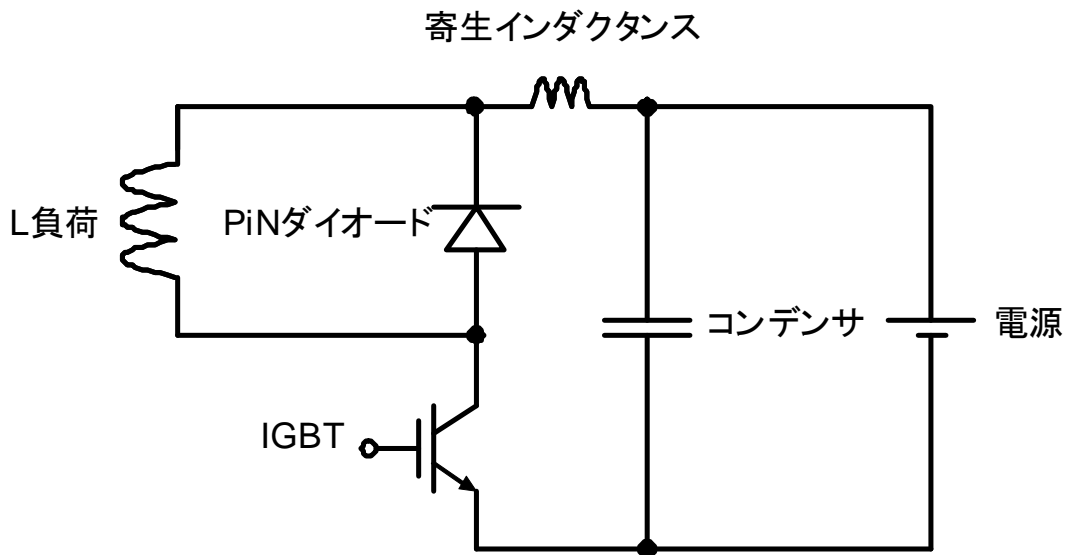


図 23 インバータ回路を模擬したパワー半導体のスイッチング測定回路

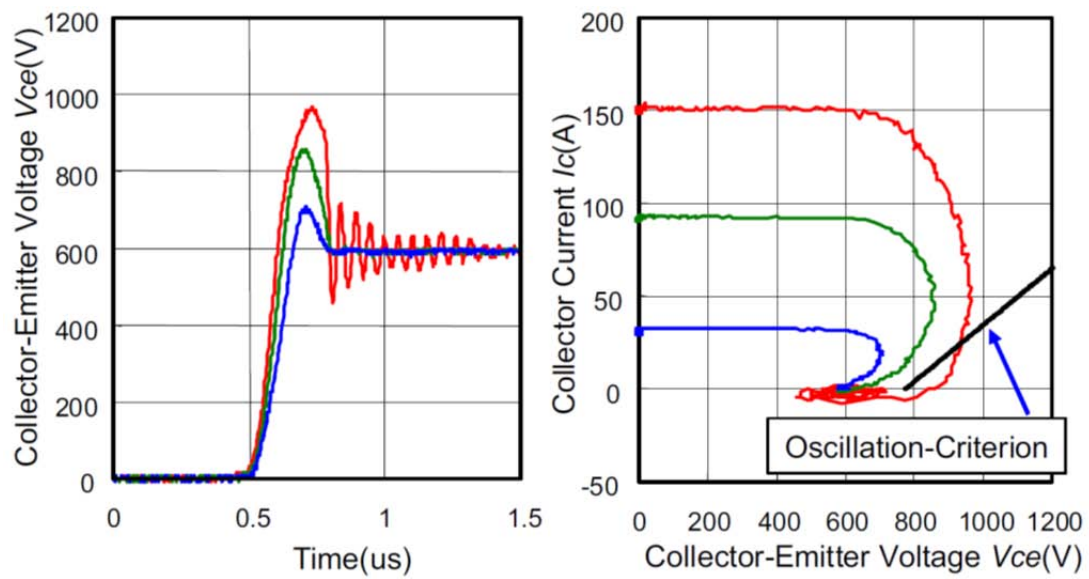


図 24 実験による IGBT のターンオフ波形と対応する電流－電圧軌跡（実験）

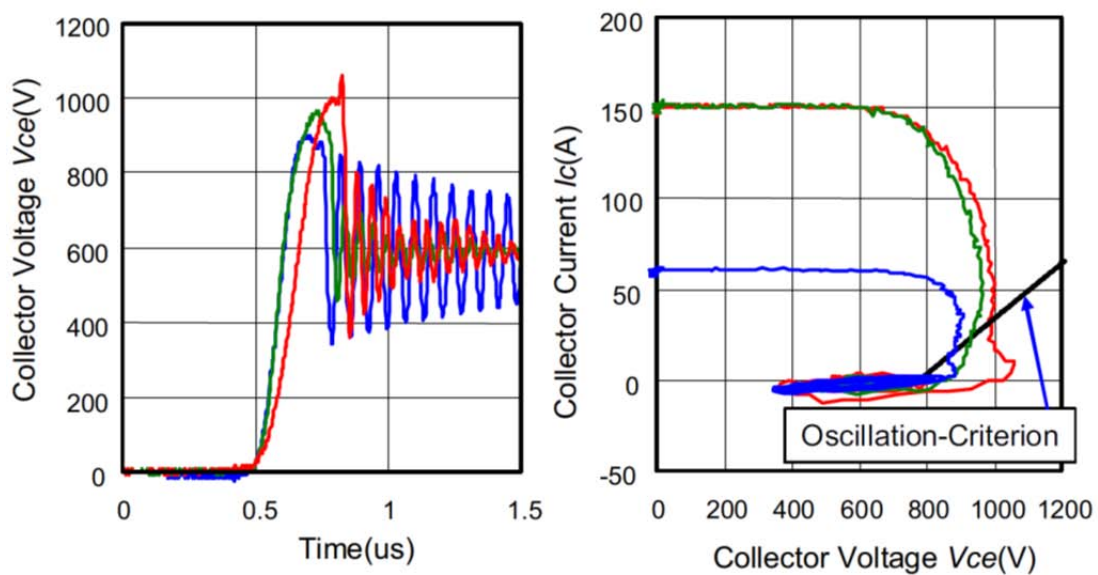


図 25 寄生インダクタンスとゲート抵抗変化した場合のターンオフ波形と対応する電流－電圧軌跡（実験）

3. 2. 2 PiN ダイオードの場合

PiN ダイオードの“ダイナミック・パンチスルー”条件を、空乏層内のホール電流と電子電流を考慮しポアソン方程式から解析的に計算する。アノード側の空乏層内をホールが流れている状態はポアソン方程式より式(27)で表される。

$$\frac{V_A}{dx} = \int_{W_A} \frac{x \cdot q \cdot (N_h + N_I)}{\epsilon} \cdot dx \quad (27)$$

V_A 、 W_A 、 N_I はそれぞれ、アノード側の空乏層に印加されている電圧、アノード側空乏層の到達位置、I層濃度を表す。

逆回復中のアノード側空乏層を流れる電流は全てホール電流と仮定できるので、空乏層中の電流は式(28)のようになる。

$$I_h = q \cdot v_h \cdot N_h \cdot A \quad (28)$$

ここで I_h 、 V_h はアノード側空乏層を流れるホール電流とホールのドリフト速度である。

式(28)を式(27)に代入し積分すると、式(29)のアノード側の電圧と電流の関係が得られる。

$$V_A = \frac{W_A^2}{2 \cdot \epsilon} \cdot \left(\frac{I_h}{v_h \cdot A} + q \cdot N_I \right) \quad (29)$$

次に PiN ダイオードの特徴である、カソード側から伸びる空乏層について電圧と電流の関係を求める。カソード側の空乏層を流れる電子電流は式(30)で表される。

$$I_e = -q \cdot v_e \cdot N_e \cdot A \quad (30)$$

I_e 、 V_e 、 N_e はそれぞれ電子電流、電子のドリフト速度、電子密度を表す。アノード側の計算と同じようにポアソン方程式に式(30)を代入し積分すると、式(31)のカソード側の電圧と電流の関係が得られる。

$$V_K = \frac{(W_I - W_K)^2}{2 \cdot \varepsilon} \cdot \left(\frac{I_e}{v_e \cdot A} - q \cdot N_I \right) \quad (31)$$

V_K 、 W_I 、 W_K はそれぞれカソード側の電界による電圧、I層厚、カソード側の空乏層の到達位置である。

ダイナミック・パンチスルーの時、アノード側とカソード側の空乏層は同じ位置に達しており、式(32)の条件が得られる。

$$W_P = W_A = W_K \quad (32)$$

W_P はダイナミック・パンチスルー位置を示す。

また半導体を通過する電流も同じ値であるので式(33)で表される。

$$I_D = I_h = I_e \quad (33)$$

I_D はダイオード電流である。

空乏層を通過するドリフト速度は電子とホールで異なり電界にも依存するが、ホールと電子はそれぞれ 10^5 V/cm と 10^4 V/cm でほぼ飽和ドリフト速度に達するので、ダイナミック・パンチスルー時の飽和速度 v_s はどちらもほぼ同じ 10^7 cm/s であると考えられる。このことから式(34)のように仮定できる。

$$v_s = v_h = v_e \quad (34)$$

以上の仮定を用いてアノード側電圧 V_A とカソード側電圧 V_K を加えると、式(35)のダイオードのダイナミック・パンチスルーの関係式が得られる。

$$I_D = v_s \cdot A \cdot \frac{2 \cdot \varepsilon \cdot V_A - q \cdot N_I \cdot (W_P^2 - (W_I - W_P)^2)}{W_P^2 + (W_I - W_P)^2} \quad (35)$$

ここで I_D はダイオードの電流である。ただし電流が式(36)の関係にあるとカソード側から空乏層が伸びず、IGBT と同じダイナミック・パンチスルー条件の式(26)で計算され

る。

$$I_D < v_s \cdot q \cdot N_I \cdot A \quad (36)$$

ダイオードの場合はダイナミック・パンチスルー位置が I 層端から中央方向に移動するので、ダイナミック・パンチスルー条件が IGBT より高電流側にシフトすることが式 (35) から示される。

IGBT でも用いたインバータを模擬した回路により PiN ダイオードのダイナミック・パンチスルー条件を確認した (図 23)。ゲート抵抗を変えて逆回復波形を測定した結果、全ての条件において 1700V 程度でダイナミック・パンチスルーしており、最大電圧はゲート抵抗が小さいほど大きくなることが分かった。電流-電圧軌跡を用いた解析式からは、カソード端からアノード側に I 層厚の 12% 移動した位置でダイナミック・パンチスルーしていることが予想される (図 26)。ダイナミック・パンチスルー条件が直線上に載るのは、導通時の電流が一定であるためキャリアプロファイルが大きく変化せず、アノード側とカソード側の空乏層が伸びる比率に変化がないためだと思われる。

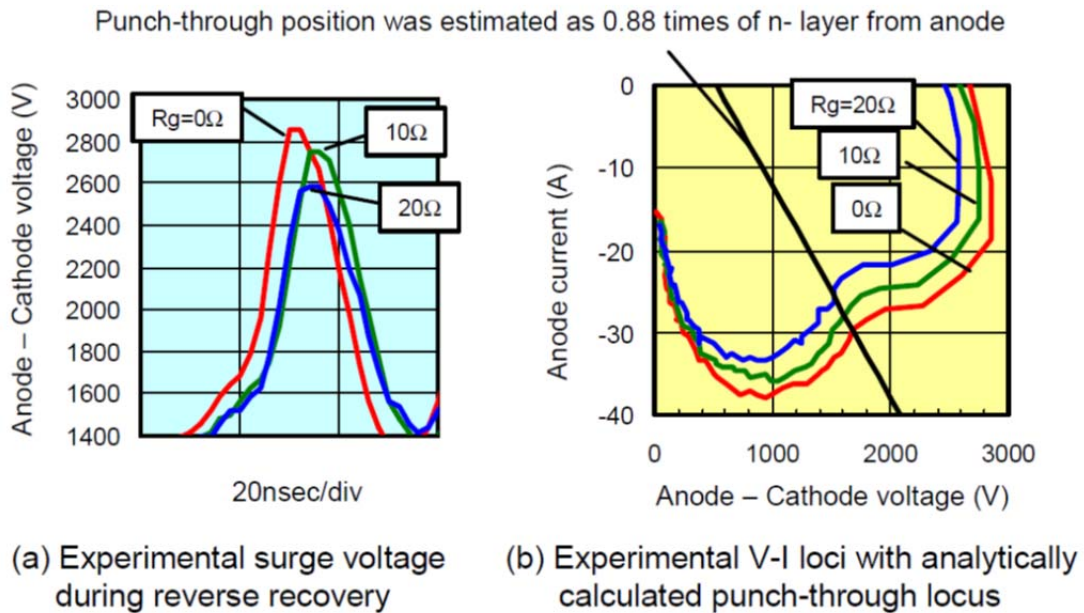


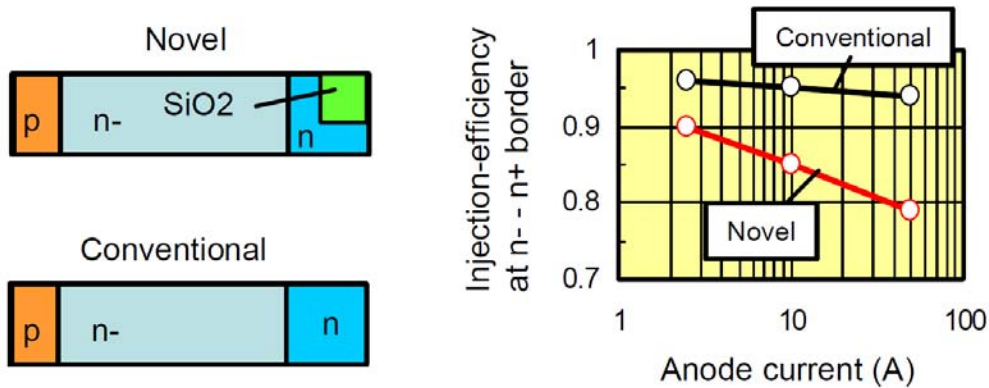
図 26 PiN ダイオードのサージ電圧とダイナミック・パンチスルーの発生条件

3. 3 PiN ダイオードの特殊性を利用した振動抑制コンセプト

式(35)より、ダイナミック・パンチスルー位置がカソード側に移動するほどダイナミック・パンチスルー時の電流が小さくなり、 di/dt も小さくなりノイズが小さくなることが予想される。そのため導通状態のキャリア密度の最適化、つまりアノード側のキャリア密度に対してカソード側のキャリア密度を高くすることで、カソード側からの空乏層の伸びを抑制しノイズ低減を狙う。ただし単にカソード側のキャリア注入量を増加すると大電流時の損失が大きくなるので、大電流時はカソード側からのキャリア注入が抑制されるメカニズムも検討する。

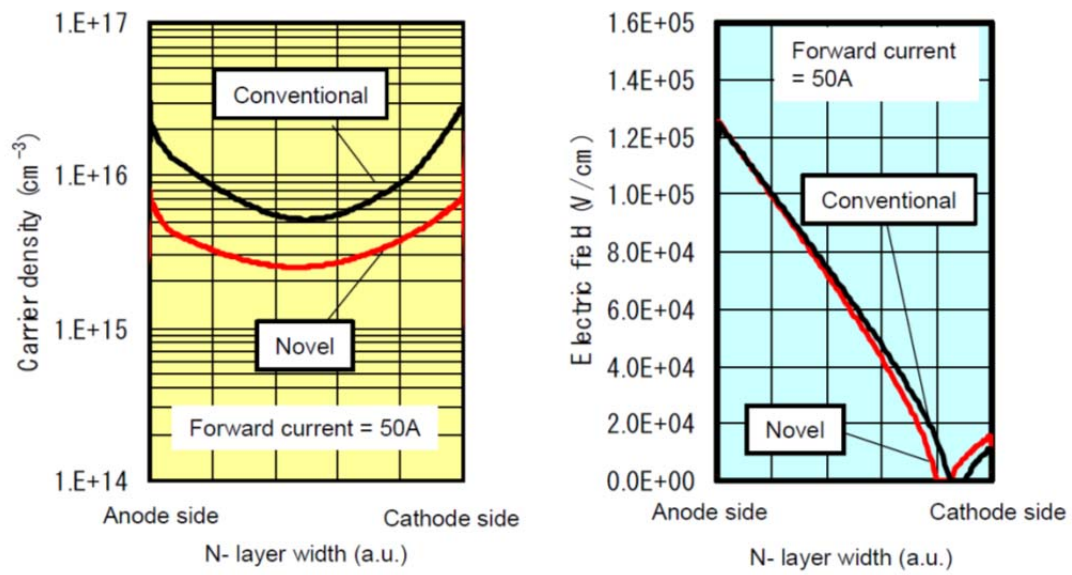
上記のメカニズムを具体化する PiN ダイオード構造として、カソード側エミッタ層の電流経路を酸化膜で削減した二次元構造をもつ PiN ダイオードを提案する(図 27)。本新構造はカソード側の電流経路を狭くすることで大電流時の抵抗を上げ、カソード側注入効率の自動的な変化により小電流時の波形振動抑制と大電流時の逆回復損失低減を両立させる。すなわち振動現象が問題となる電流密度が小さい時はカソード側のキャリア密度を上げ振動を抑制し、電流密度が高い時はカソード側のキャリア密度を小さくし逆回復損失を小さくする。

シミュレーションにより本新構造の特性を確認した(図 28)。電流が小さい時のキャリア分布は従来構造よりもアノード側のキャリア密度が小さくカソード側のキャリア密度が高い。それによりダイナミック・パンチスルー位置が I 層厚の 10% 程度カソー



(a) PIN diode structure (b) Injection-efficiency at n - n border

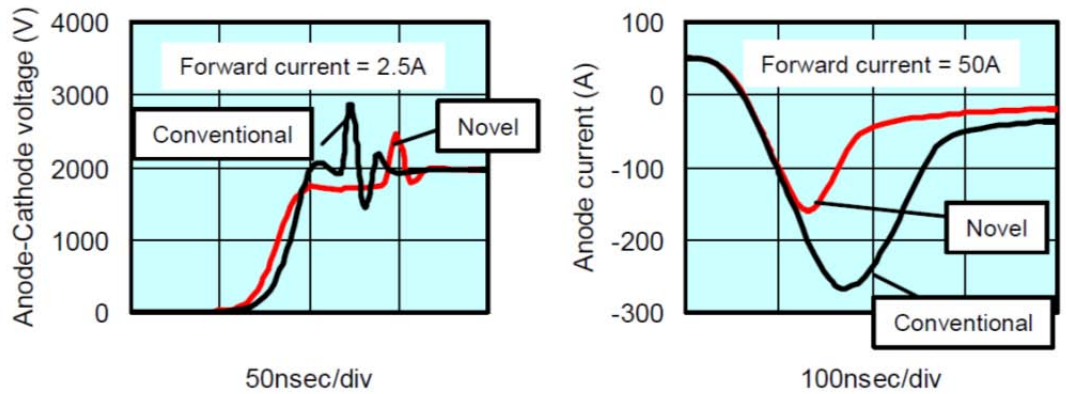
図 27 提案する PiN ダイオードの新構造とカソードからの注入効率変化



(c) Carrier profile at 50A

(d) Electric field distribution at 50A

図 28 導通電流が大きいときの PiN ダイオードのキャリア分布と電界分布



(a) Voltage waveform oscillation

(b) Reverse recovery current

図 29 提案した PiN ダイオード新構造による電圧振動と逆回復電流の変化

表 3 シミュレーションによる提案した PiN ダイオード構造の主要特性

Characteristics	Forward current (A)	Novel PIN diode	Conventional PIN diode
Maximum surge voltage to supply voltage	2.5	0.53	1
Forward voltage	2.5	1	1
	50	1.91	1
Maximum reverse recovery current	50	0.59	1
Switching loss of diode	2.5	1.06	1
	50	0.38	1

ド側に移動し、電源電圧に対するサージ電圧を従来構造に対して約 50%小さくする (図 29)。電流が大きい場合は I 層内のキャリア密度が従来構造の半分程度になり、逆回復損失を大きく減らすことができる (表 3)。

3. 4 セルフ・クランプを用いたノイズ抑制による損失の増加

3. 4. 1 セルフ・クランプのメカニズム

IGBT と PiN ダイオードともに、ターンオフ (逆回復) 時に安全動作領域内を越えないようにセルフ・クランプ設計でサージ電圧を抑える方法がある。この方法はベース層または I 層の濃度を上げ意図的にアバランシェ現象を起こし、 di/dt を小さくしてサージ電圧を抑制するものである [24]。サージ電圧を抑制する本構造は、空乏層の伸びも抑制するので振動が小さくなる利点がある一方でスイッチング損失が増加する欠点もある。

IGBT のセルフ・クランプは次のような原理で波形振動を抑制する (図 30)。ターンオフ中にゲート電圧が閾値に達し、電子注入が止まるとベース層中を空乏層が伸び始める (T1, T2)。ここまではこれまで述べた IGBT や PiN ダイオードが振動を発生する前の状態と同じであり、高抵抗層内部の電界分布はポワソン方程式に従う。その後、空乏層が N バッファに到達するより先にアバランシェの臨界電界に到達すると (T3)、アバランシェ現象により電子-ホールペアが生じベース層に流れる電子電流によりコ

レクターエミッタ間電圧の上昇が抑えられる。本論文ではターンオフ中に最大電界が臨界電界に到達する現象を“ダイナミック・アバランシェ”と呼ぶ。ダイナミック・アバランシェ現象が発生するとターンオフ時間が長くなるために損失も大きくなる。

3. 4. 2 セルフ・クランプの判定法

振動発生条件のモデル化と同様にポワソン方程式を用いてダイナミック・アバランシェの発生条件を計算する。アバランシェが発生する場合の空乏層厚は式(37)の関係になる。

$$W_{dl} = \frac{2 \cdot V_{CE}}{E_{crit}} \quad (37)$$

ここで E_{crit} はアバランシェに到達する臨界電界を示す。

式(37)を式(25)に代入すると以下のダイナミック・アバランシェの電流・電圧条件が得られる。

$$I_C = v_s \cdot A \cdot \left(\frac{\varepsilon \cdot E_{crit}^2}{2 \cdot V_{CE}} - q \cdot N_B \right) \quad (38)$$

ただし次の式(39)で示されるような小電流ではダイナミック・パンチスルーが先に発生し振動を起こす。

$$I_C < v_s \cdot A \cdot \left(\frac{\varepsilon \cdot E_{crit}}{q \cdot W_B} - N_B \right) \quad (39)$$

ここで E_{crit} はアバランシェ現象が生じる臨界電界である。ダイナミック・アバランシェが発生する条件は、コレクタ電流がコレクターエミッタ間電圧に反比例する。なお PiN ダイオードはカソード側でも空乏層が伸びるため式(31)のカソード側空乏層による電圧の分 IGBT のアバランシェ発生条件よりも高電圧側に移動する。

1200V系 IGBT を用いて、ターンオフ電流を50Aから365Aまで変えながらダイナミック・パンチスルーが発生しない範囲でターンオフ損失を測定した (図 31)。本測定条件では235A (条件 B) からダイナミック・アバランシェ条件に突入していると予測される。そのため波形 A (150A) に比べて波形 B ($I_C=235A$) と波形 C

(365A) の dv/dt が小さく、セルフ・クランプされていることが分かる。この電流－電圧軌跡を取得した波形から計算したターンオフ損失はターンオフ電流が 215A から急激に増加しており、ダイナミック・アバランシェ条件に入っていることが分かる (図 32)。ターンオフの電流－電圧軌跡はターンオフ電流が 215A でダイナミック・アバランシェ条件の境界を通過しており、それより大電流になるとダイナミック・アバランシェ条件に入る。本測定によりダイナミック・アバランシェ条件の妥当性とセルフ・クランプによるターンオフ損失の増加が確認できた。

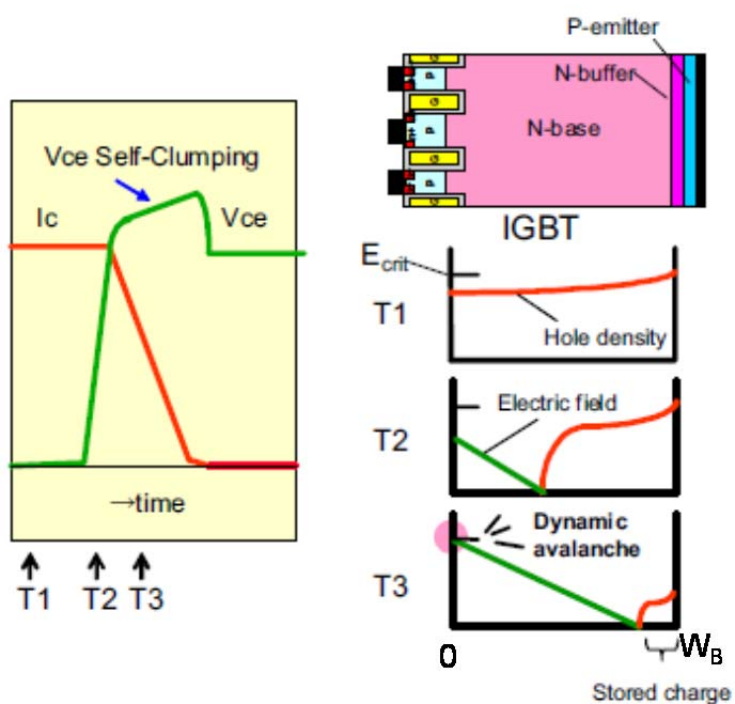


図 30 セルフ・クランプによるダイナミック・アバランシェ

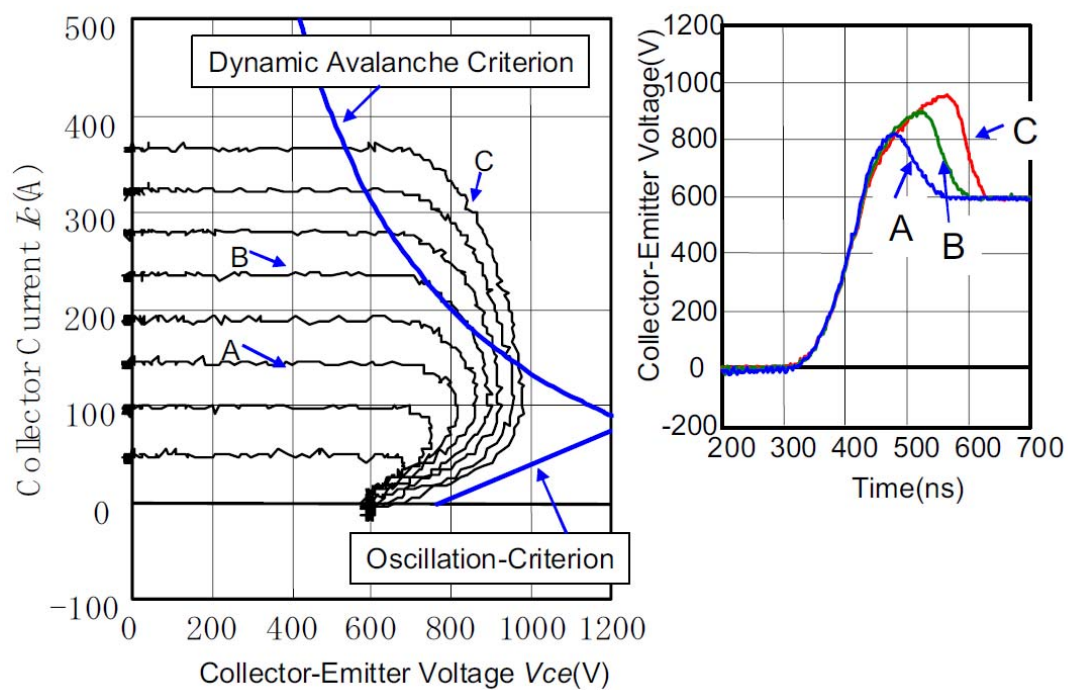


図 31 IGBT ターンオフ時の電流－電圧軌跡と対応する電圧波形（実験）

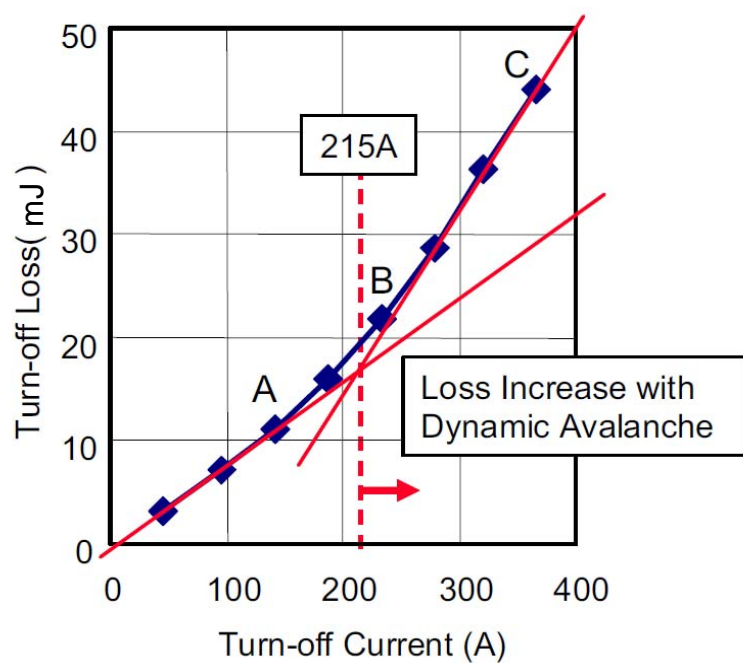


図 32 ダイナミック・アバランシェによる IGBT ターンオフ損失の増加（実験）

第4章 ダイナミック・アバランシェによる高周波ノイズ

4. 1 疑似定常法によるノイズメカニズムの分析

アバランシェ現象による振動波形はパワーデバイスに強制的に流れる逆電流が原因で発生する。この原理を利用し、電流源を用いた方法で PiN ダイオードの波形振動を再現させることが可能である(図 33)。周波数、振幅、そして波形形状まで再現する方法を本論文では疑似定常法と呼ぶ(図 34)。

導通電流(順方向電流)の大きさは、アバランシェ現象による振動波形に全く影響しない(図 35)。この理由は、アバランシェ現象による振動は導通時の蓄積キャリアが完全に引き出された後に発生するためである。キャリアライフタイムを変えても波形はほぼ同一である(図 36)。

以下にこの疑似定常法の利点をまとめる。

① シミュレーション時間の短縮化

直流電流が逆回復電流の役割をし、数周期分の振動シミュレーションのみで逆回復中に発生する振動と同一の波形を再現できる。通常の逆回復シミュレーションに比べて時間が大幅に短縮し、多くの異なる条件をシミュレーションすることが可能になる。

② 条件設定の簡素化

逆回復シミュレーションは寄生インダクタンスやスイッチング速度で電流値が変化するため、目標とする電流値で分析するためには複数のパラメータを経験的に組み合わせる必要があった。この方法では目的とする電流値を直接設定できるため、短時間での条件設定が可能となる。

③ 振動現象の単純化

電流値が刻々と変化している状態で波形振動や内部現象を分析するのは非常に複雑である。本方法では一定電流により、振動現象が単純化され解析が容易になる。

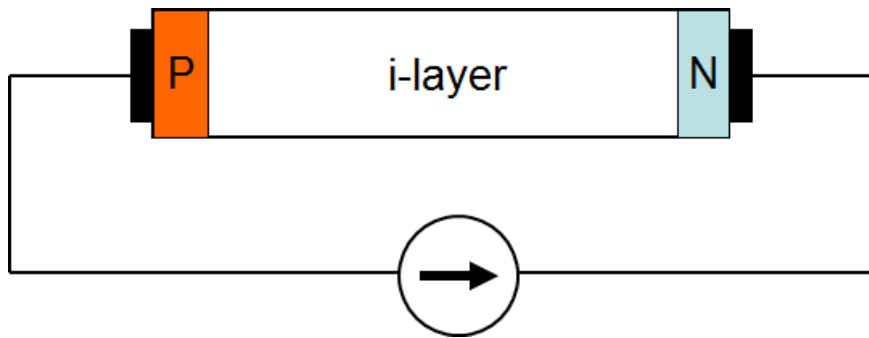


図 33 アバランシェ状態を再現する電流源だけを用いた疑似定常法

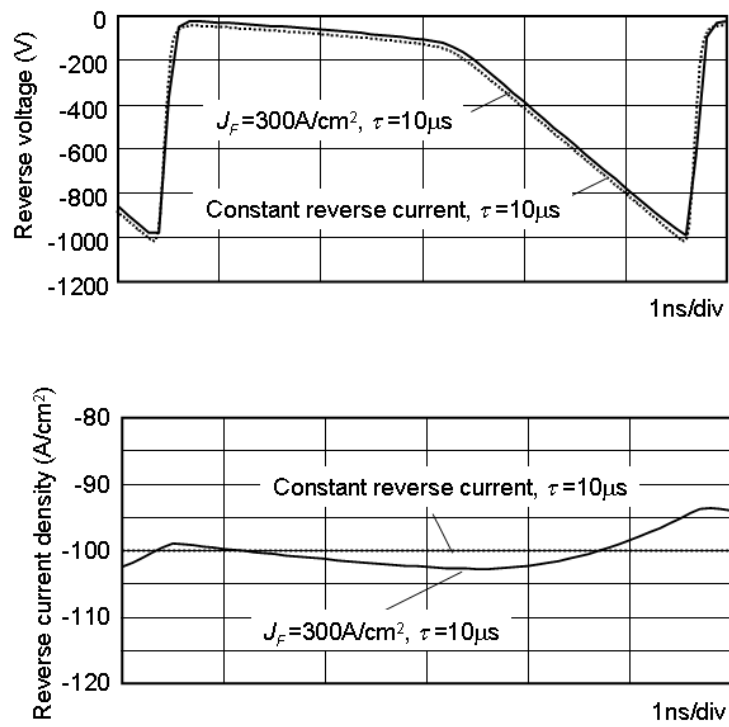


図 34 疑似定常法による逆回復波形の再現

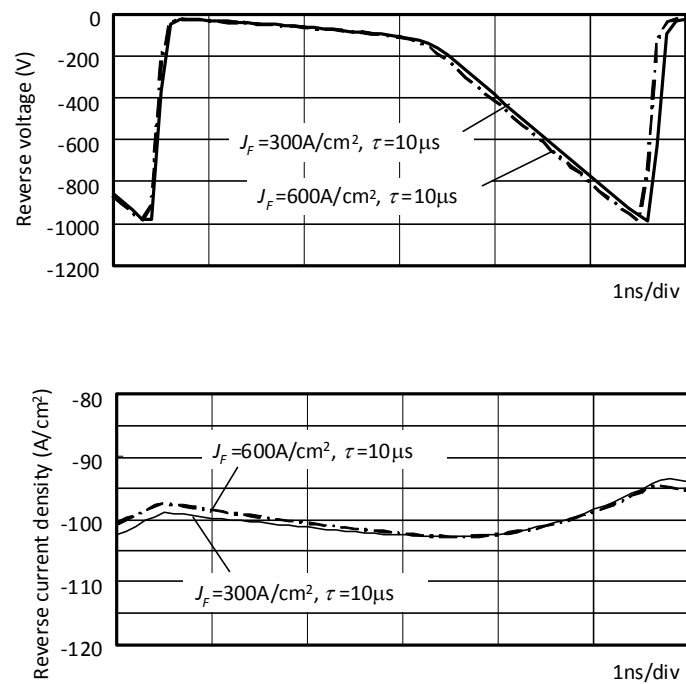


図 35 疑似定常法による順方向電流を変えた場合の逆回復波形の再現

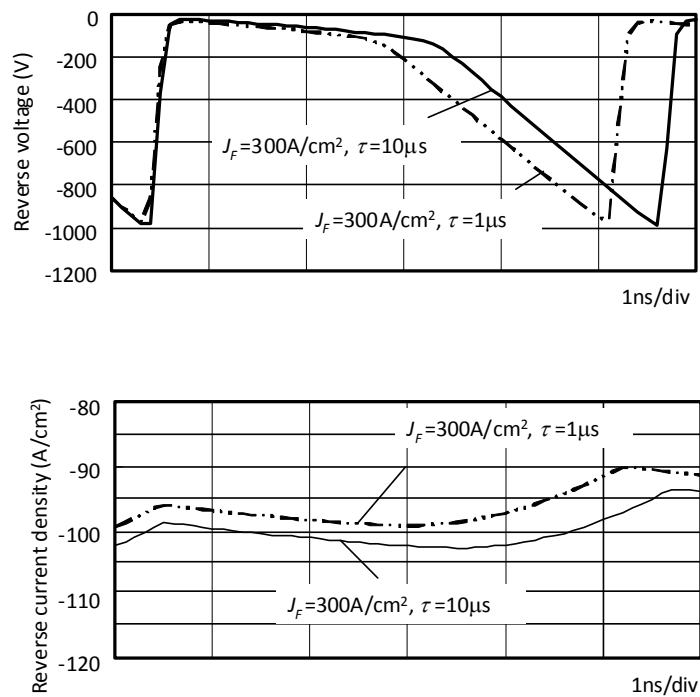


図 36 疑似定常法によるベース層のライフタイム変えた場合の逆回復波形の再現

4. 2 PiN ダイオード構造のノイズ継続メカニズムと周波数モデル

逆回復波形でアバランシェ現象による振動が発生した 100 A/cm^2 の場合の振動を疑似定常法により再現させた。再現された波形は、急激な電圧降下の後に2つの異なる dv/dt を持つ鋸の刃のような特殊な電圧波形である(図 37)。この電圧波形と伝導電流および変位電流、そして半導体内部の電界とキャリア分布から振動を分析した(図 38)。

波形の最大電圧(ポイント a)に到達した直後にアバランシェ現象が起こり、瞬間的に 1600 A/cm^2 の大きな伝導電流が I 層に流れ、接合容量から放電されたキャリアが I 層中に蓄えられる(ポイント c)。その後の低い dv/dt の期間では、空乏層の伸びにより蓄えられたキャリアが I 層から排出される。このキャリアが排出される現象はダイオードの逆回復時に蓄積キャリアが引き出される現象と同様である。アバランシェ現象で生じた蓄積キャリアが完全に引き出された後は(ポイント d)、高い dv/dt を伴いながら再び接合容量の充電が始まる(ポイント e)。

分析と調査の結果、この振動はアバランシェ現象による振動の一種で TRAPATT (Trapped Plasma Avalanche Triggered Transit) 振動と呼ばれるものであることが判明した。この振動の特徴はアノード側とカソード側のアバランシェ現象により I 層内にホールと電子が同時に存在し、電荷中性状態になることでキャリアが I 層内に蓄積(トラップ)されることである。

次にこの TRAPATT 振動の周波数をモデル化する。急激な電圧降下後に発生する蓄積キャリアの総量はアバランシェ現象により発生する接合容量からの放電に相当する電荷であり、その総量は蓄えられた電荷 ϵE_{crit} と一致する。そのため低い dv/dt の期間は $\epsilon E_{\text{crit}}/J$ に等しい。J は振動の際の逆電流である。高い dv/dt の期間は変位電流しか流れないので、この期間も $\epsilon E_{\text{crit}}/J$ に等しい。急激な電圧降下が生じる 0.1 ns 程度の短い時間を無視すれば 1 周期に要する時間は $2\epsilon E_{\text{crit}}/J$ になり、振動周波数は次の式(40)で表される。

$$f = \frac{J}{2 \cdot \epsilon \cdot E_{\text{crit}}} \quad (40)$$

ここで f は振動周波数である。この式から振動周波数が逆電流に比例することと他の条件に依存しないことが予想される。

ダイオードの I 層幅と逆電流密度を変えた場合のアバランシェ現象による振動を疑似定常法でシミュレーションした。 $20 \mu\text{m}$ から $160 \mu\text{m}$ までの 5 条件の I 層幅を用い、逆電流の電流密度は 10 A/cm^2 から 10000 A/cm^2 の範囲で変化させた(図 39)。比較の結果、 100 A/cm^2 から 10000 A/cm^2 の範囲では振動周波数モデルとアバランシェ現象による振動の周波数は一致しており、本モデルの妥当性が確認できた。同じ電

流密度の範囲では I 層幅を変えても振動周波数が同じであり、振動周波数が電流密度以外の回路条件に依存しないことも確認できた。

逆電流の電流密度が高い 1000 A/cm^2 以上の場合では I 層幅に関係なく振動周波数の飽和がみられる。高電流密度領域の飽和振動周波数は次の式(41)で表すように、キャリアの飽和速度 V_s ($\sim 10^7 \text{ cm/s}$) を I 層厚で割った値と完全に一致する (図 40)。

$$f_{sat} = \frac{V_s}{W_i} \quad (41)$$

ここで f_{sat} 、 W_i はそれぞれ飽和振動周波数と I 層の厚みである。高電流密度においては 1000 A/cm^2 以下の場合と異なり振動周波数は I 層厚にのみ依存する。

100 A/cm^2 以下のときは、アバランシェ現象によるキャリアの発生量が少なく接合容量からの放電が少ないため、波形振動の振幅が小さくなり式(40)より高周波側に振動周波数が移動する。式(40)はこれまで高周波デバイスでは報告されておらず、電流密度が比較的低いパワー半導体独自のモデルである。

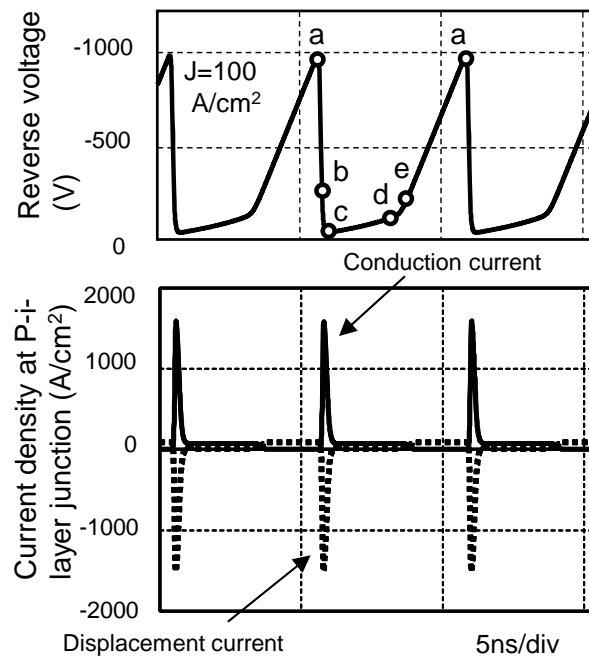


図 37 疑似定常法による PiN ダイオード振動時の電圧、電流変化

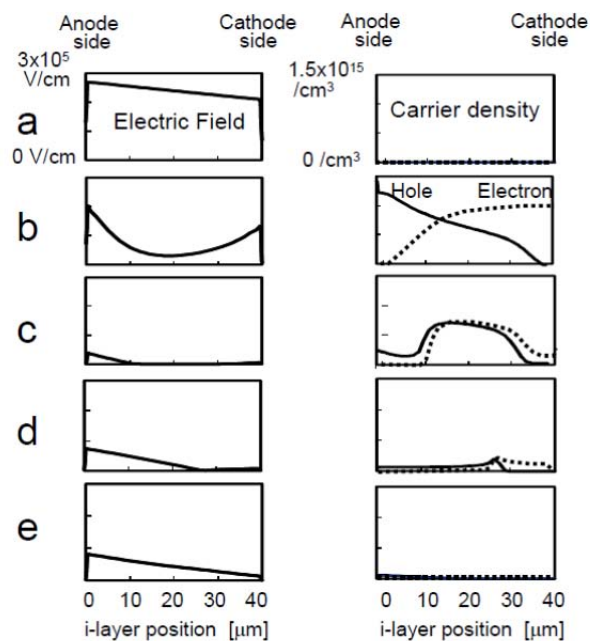


図 38 波形振動時の内部キャリアと電界の様子

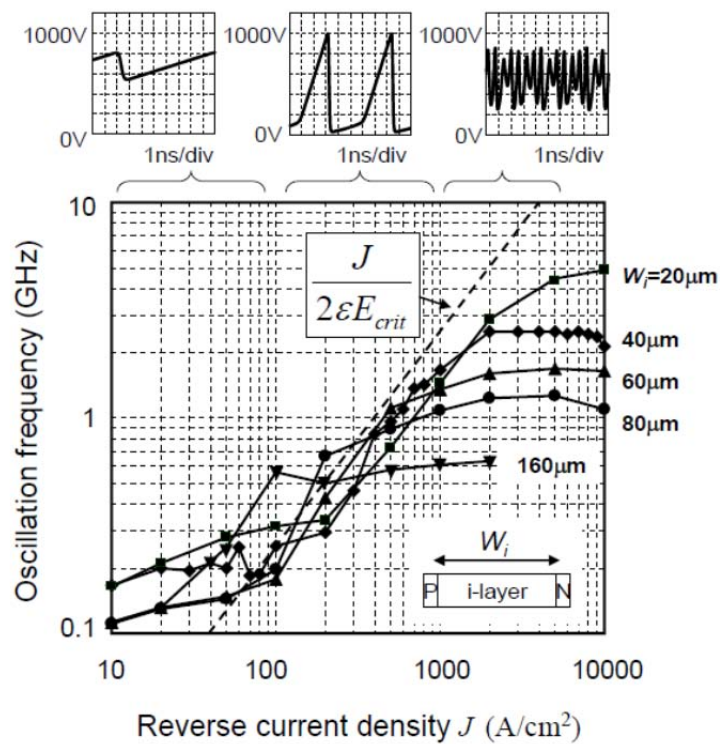


図 39 アバランシェによる振動の振動周波数

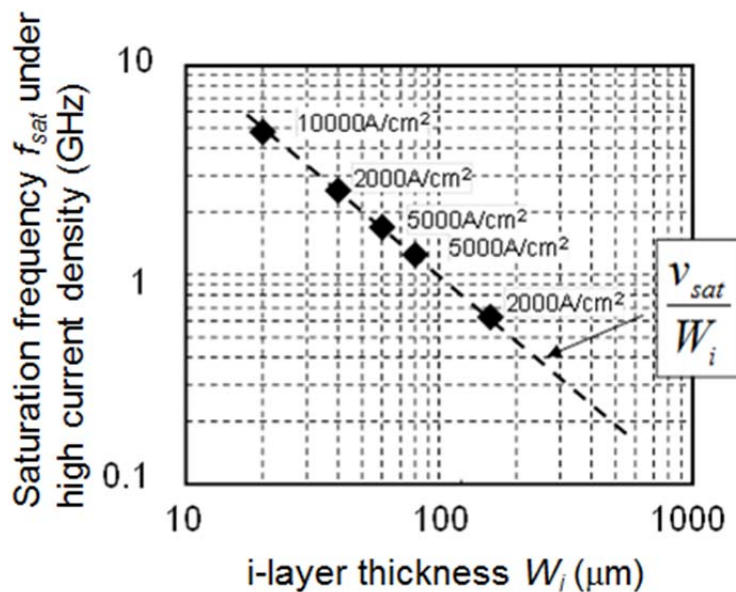


図 40 ベース厚に反比例する飽和振動周波数

4. 3 スイッチングデバイスへの周波数モデルの応用

パワーMOSFET や IGBT は MOS ゲート構造があるため、単位体積当たりの主接合面積がダイオードに比べて小さくなる。接合容量の減少が振動周波数モデルに与える影響を考えると、接合容量の減少分に応じて発生電荷が少なくなり PiN ダイオードの振動周波数モデルよりも周波数が高くなることが予測される。

この予測を確認するため、PiN ダイオード構造と同じベース厚とベース濃度を用い、主接合の面積をチップ面積の 50% としたパワーMOSFET の振動周波数をシミュレーションした。この際ゲート電極に電圧は印加せず、ゲートとエミッタ間に 50 Ω の抵抗を挿入した。シミュレーションの結果から、ベース厚に関係なくダイオードの約 2 倍の周波数で振動することが判明し、接合容量の面積比を考慮するだけで PiN ダイオードの振動周波数モデルがスイッチング素子まで適用できることが判明した (図 41)。飽和振動周波数はベース厚のみで決まるため、パワーMOSFET は PiN ダイオードと全く同じ周波数であった (図 42)。

スイッチングデバイスのアバランシェ現象による振動周波数は、主接合の面積を考慮するだけで PiN ダイオードと全く同じモデルが適用できることから、接合容量の充放電がパワー半導体全てに共通する振動メカニズムである可能性が高い。

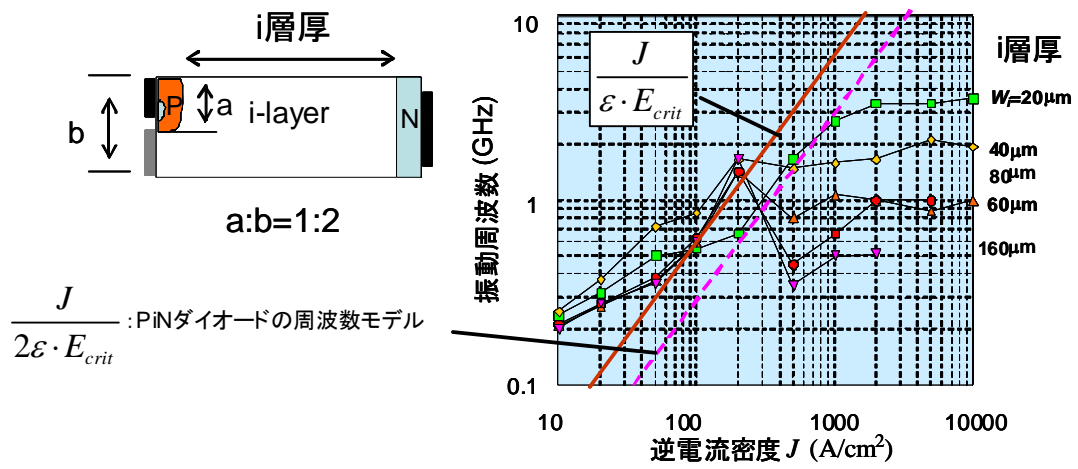


図 41 パワーMOSFET への振動周波数モデルの適用

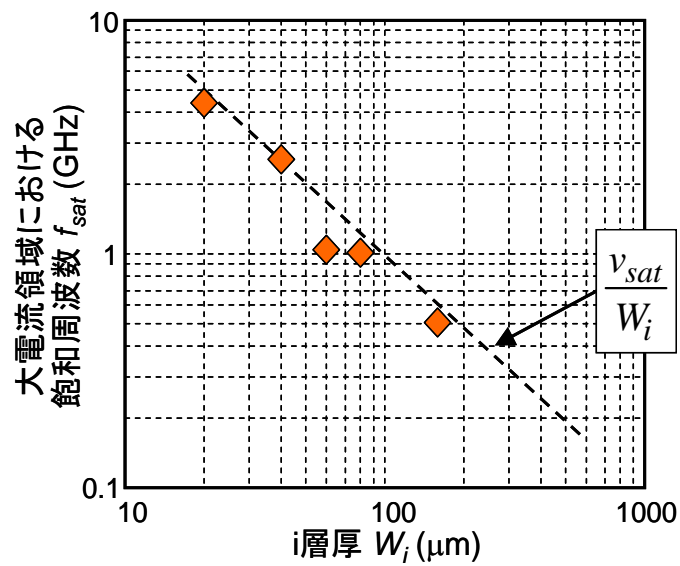


図 42 PIN ダイオードと同じモデルで計算されるパワーMOSFET の飽和振動周波数

4. 4 数学モデルによる高周波ノイズ減衰の判定法

疑似定常法により振動メカニズムを研究する過程で、一定の電流密度以上になると波形振動が減衰し最終的に振動が消滅することが判明した。I 層厚を変えて振動が消滅する電流密度をシミュレーションしたところ、以下の式で表される最大連続周波数以上では減衰が始まることが分かった（図 43） [25]。

$$f_d = \frac{V_s}{2W_I} \quad (42)$$

ここで f_d は最大連続振動周波数を表す。

4. 3 の周波数モデルおよび最大連続振動周波数の関係から、次のように振動が減衰する電流密度が得られる。

$$f > f_d \quad (43)$$

$$\frac{J}{2 \cdot \varepsilon \cdot E_{crit}} > \frac{V_s}{2W_I} \quad (44)$$

$$J > \frac{V_s \cdot \varepsilon \cdot E_c}{W_I} \quad (45)$$

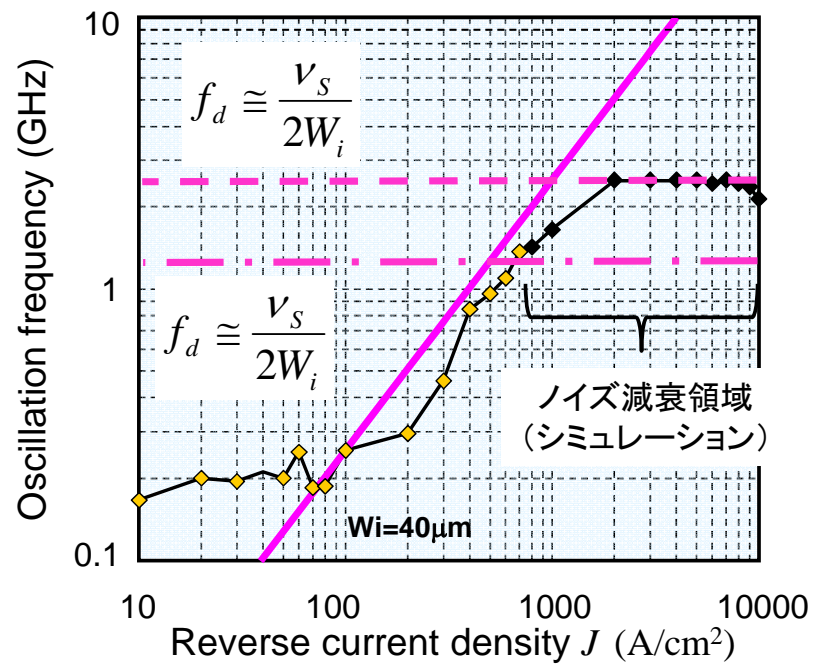


図 43 アバランシェ振動による振動の継続と減衰

第5章 Sパラメータによるパワー半導体のノイズ発生判定

5.1 パワー半導体のSパラメータ抽出

これまでパワー半導体の振動分析は主に波形分析により行われてきた。しかし波形振動は電流値や電流の時間変化 (di/dt) などにより変化するため全ての条件を系統的に分析するのは難しい。そのためマイクロ波デバイスの評価に利用されている AC 解析のシミュレーションを試みた。AC 解析はパワーMOSFET や IGBT のような三端子素子の入力側と出力側の相互作用を分析することも可能であり、特にシミュレーションでは波形シミュレーションに比べて短時間化できる利点もある。

AC 解析の結果は S パラメータに変換した [27]。従来はトランジスタなどの3端子デバイスの特性を評価するために、H、Y、およびZなどさまざまなパラメータが使われてきた。これらはいずれも入・出力各ポートの回路変数である全電圧と全電流とを関係づけるパラメータである。これらのパラメータ間の違いは、独立変数と従属変数のとり方の違いであり、各パラメータはこれら変数を関連付ける定数に他ならない。これらのパラメータは端子間の短絡条件と解放条件が基本であるが、高周波ノイズ（波形振動）のような高い周波数になると短絡条件と解放条件を得るのが難しい。これらの問題を克服するための新しい表示法が S パラメータである。

S パラメータは伝送線路系において定義されるものである。信号源の内部インピーダンスを Z_s とし、負荷のインピーダンスを Z_L とすると、 Z_s 、 S_L が伝送線路の特性インピーダンス Z_0 に等しくない場合には、一般には進行波である入射波と反射波が存在し、入射波と反射波によって伝送線路上に電圧定在波が発生する。伝送線路上のある点での全電圧 V_t は、その点での入射波と反射波の電圧の和になる。すなわち入射波の電圧を E_i 、反射波の電圧を E_r とすると

$$E_t = E_i + E_r \quad (46)$$

一方、伝送線路上の全電流 I_t は、入射電圧と反射電圧の差を線路の特性インピーダンス Z_0 で割って

$$I_t = \frac{E_i - E_r}{Z_0} \quad (47)$$

となる。

もう一つの重要な概念に反射係数 Γ がある。これは負荷インピーダンスと線路の特性インピーダンスの整合の度合いを表すもので

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (48)$$

と定義される。この Γ は、一般に複素数で、振幅を P 、位相角を θ とすると

$$\Gamma = P e^{j\theta} \quad (49)$$

とも表される。負荷インピーダンス Z_L を伝送線路の特性インピーダンス Z_0 に等しく選ぶと反射係数は 0 になる。すなわち

$$Z_L = Z_0 \quad (50)$$

ならば

$$\Gamma = 0 \quad (51)$$

となる。

インピーダンスを伝送線路の特性インピーダンスで正規化すると式(48)の分母分子を Z_0 で割って

$$\Gamma = \frac{\frac{Z_L}{Z_0} - 1}{\frac{Z_L}{Z_0} + 1} \quad (52)$$

ここであらためて

$$\frac{Z_L}{Z_0} = Z_L \quad (53)$$

とすると

$$\Gamma = \frac{Z_L - 1}{Z_L + 1} \quad (54)$$

となる。

ここで伝送線路中に2ポート・ネットワークを挿入した場合を考えると、互いに関連し合った2組の振興波が存在する。これらの4つの進行波をHパラメータの式に代入し式変形すると、入射する進行波電力および反射する進行波電力を関係づけるSパラメータが得られる。

本研究では始めにアバランシェ現象による波形振動と同じ状態を高電圧・大電流で再現させ、ドリフト層の濃度を変えた4種類のパワーMOSFETのSパラメータをシミュレータで抽出した(図44) [26]。100MHzから10GHzまでの周波数範囲でデータ取得ポイントは2千点である。アバランシェ試験においての振動を解析した論文を参考にアバランシェ電流を60A/cm²一定とした[22]。同じ60A/cm²の場合でも高濃度化により耐圧は低くなるので、ドリフト層の濃度ごとに電圧を変えながらAC解析をした。

パワーMOSFETから抽出されたSパラメータから、出力端子間(ドレイン-ソース間)の反射係数 S_{22} において1GHz前後に不安定領域があることが分かり(図45)、パワーMOSFETドリフト層の低濃度化で S_{22} の不安定性が増すことも判明した。 S_{22} と異なり入力端子間(ゲート-ソース間)の反射係数 S_{11} はドリフト層の濃度に影響されず不安定領域が見られない。出力端子間から入力端子間への透過係数 S_{12} と入力端子間から出力端子間への透過係数 S_{21} の影響は最大でも0.03と非常に小さく(図46)、ベース濃度を変えても透過係数の数値はほぼ同じであった。これらのSパラメータから、

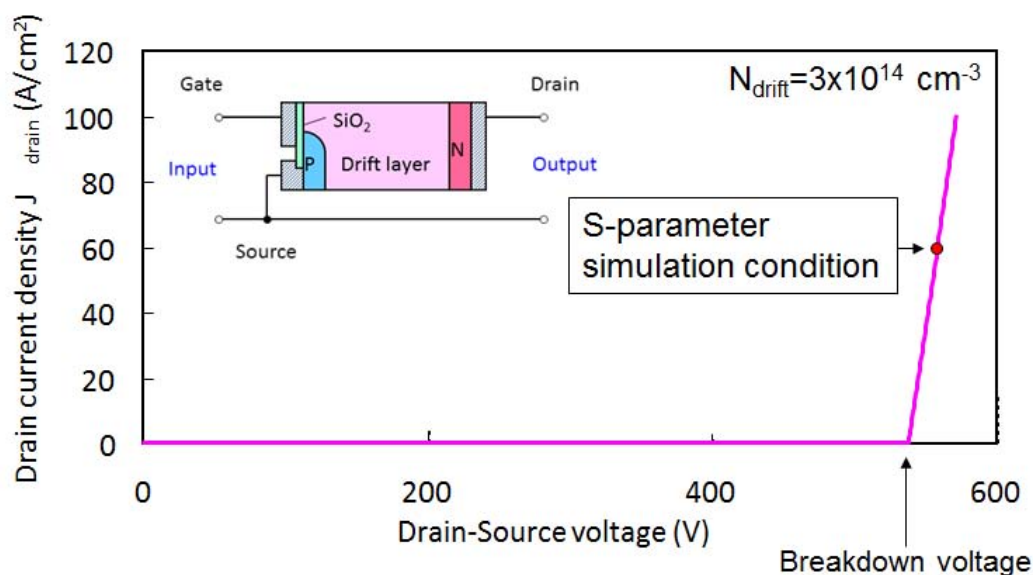


図 44 アバランシェ振動発生時の条件によるSパラメータの抽出

出力端子間の反射が振動原因の支配的要因であると考えられる。

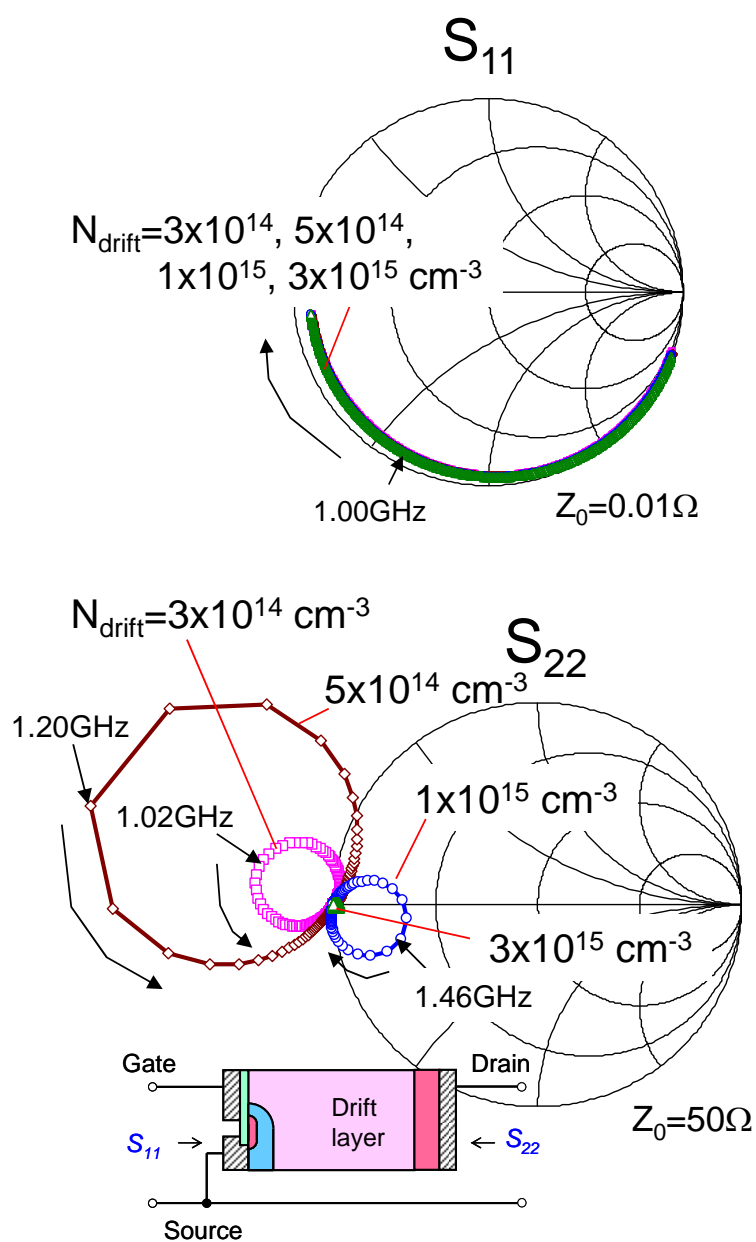


図 45 ドリフト層の濃度を変化させた時の S パラメータ
(周波数範囲は 100 MHz から 10 GHz)

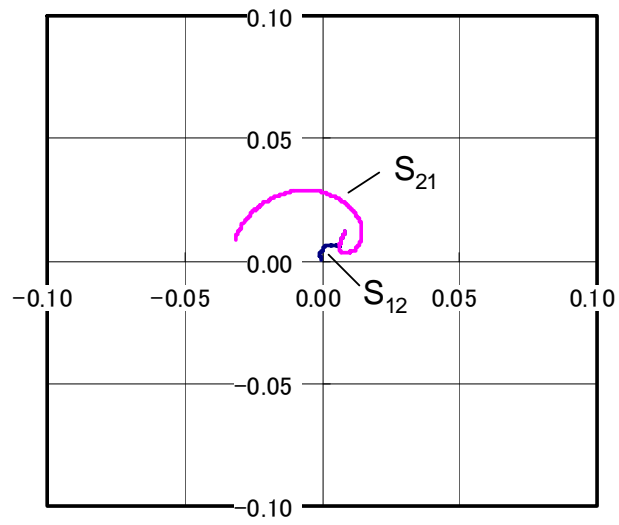


図 46 S パラメータから計算されたパワーMOSFET の透過係数
(ベース濃度 : $3 \times 10^{14} \text{ cm}^{-3}$)

5. 2 安定係数を用いたパワーMOSFET のノイズ判定

S パラメータから安定係数 (K ファクター) を計算し、ドリフト層濃度の異なる 4 種類のパワーMOSFET の安定／不安定周波数を判定した (図 47)。安定係数 K は次の式 (55) で計算される [27]。この式から求められる数値が 1 より大きければ絶対安定である。

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|^2}{2 \cdot |S_{12} \cdot S_{21}|} \quad (55)$$

パワーMOSFET の N ベースが低濃度化されるほど 1 GHz から 3 GHz の周波数で不安定性が高くなり、 S_{22} と同一の傾向がみられた。ドリフト層濃度が $3 \times 10^{15} \text{ cm}^{-3}$ の高濃度条件では全ての周波数領域で安定と判定される。

疑似定常法を使った TCAD シミュレーションにより、AC 解析と同じ電流密度での波形振動を再現させ安定係数を判定した。その結果、アバランシェ現象による波形振動はドリフト層の高濃度化で安定し、安定係数の予測と一致していることが分かった (図 48)。例えばドリフト層濃度が $3 \times 10^{14} \text{ cm}^{-3}$ と低い場合には、出力端子間には連続した電圧振動が発生している。それに対して、濃度が $1 \times 10^{15} \text{ cm}^{-3}$ と高い場合には減衰により振動が消滅した。アバランシェ現象による振動波形の傾向と

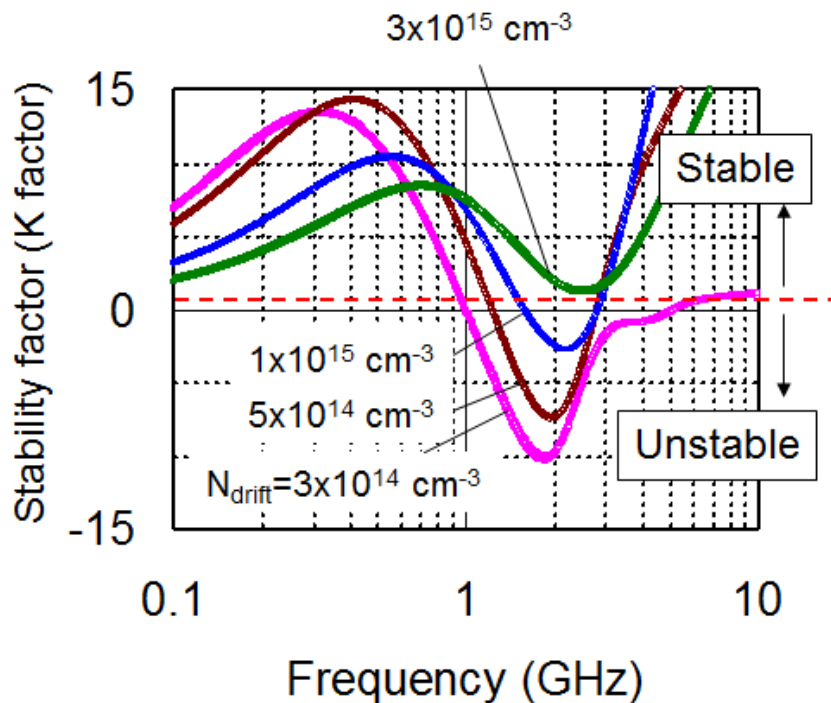


図 47 S パラメータから計算された安定係数 (K ファクター)

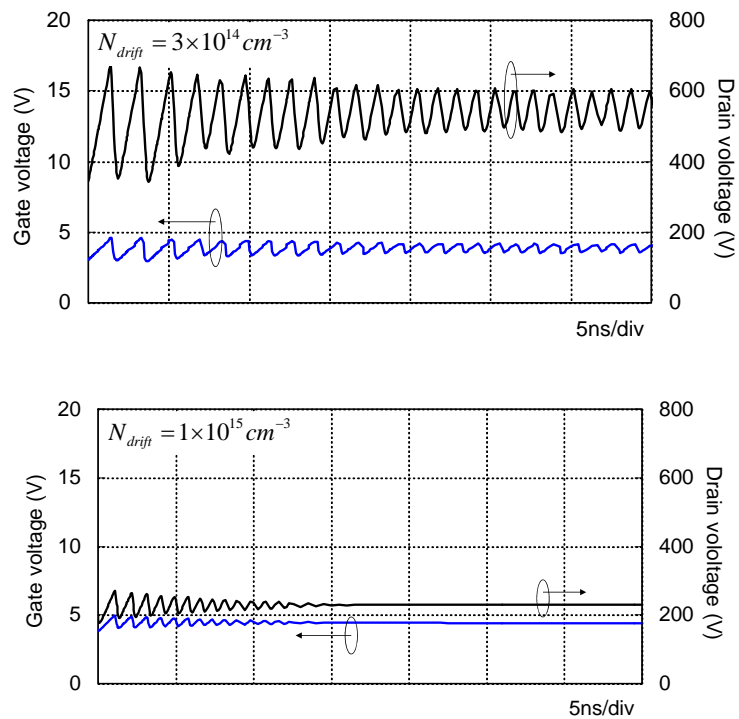


図 48 N ベースの濃度変化で現れる連続振動と減衰振動

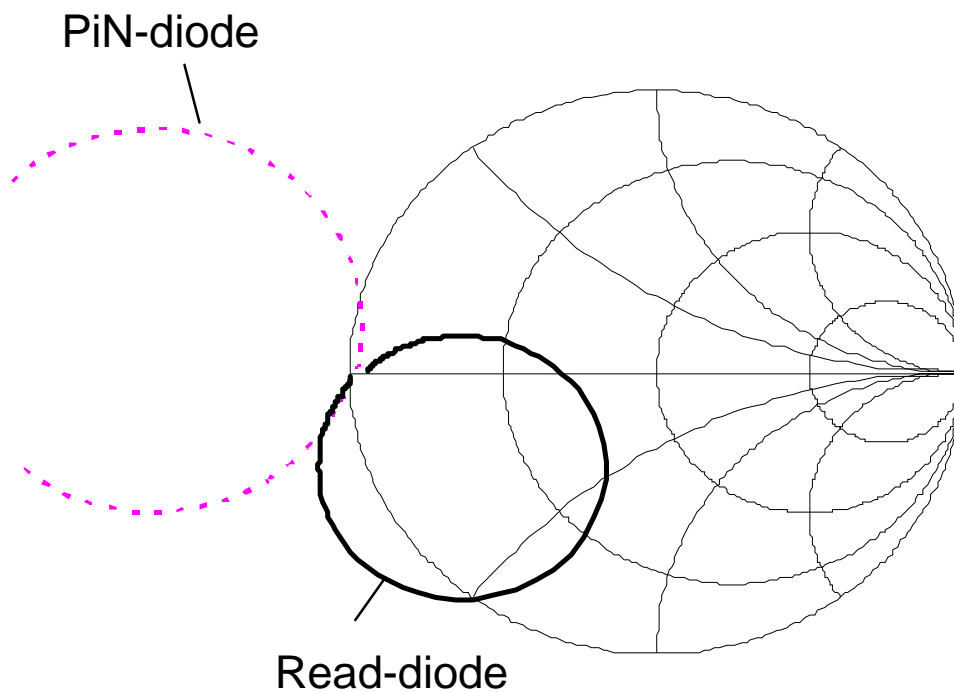


図 49 リードダイオード構造による安定化

周波数は安定係数による診断と一致することが確認された。

一例として、P+層とN-層の間に高濃度N層があり、意図的にアバランシェ現象を発生させることで安定動作をするリードダイオードにもこの反射係数による判定法を試した(図 49) [28]。その結果、通常のPiN ダイオードに比較して反射係数が小さく、1. 1 GHz 以下では安定と判断される円の中に特性が移動した。AC 解析による振動安定性の判定はリードダイオードのような特殊な構造にも適用可能であることが判明した。

5. 3 パワーMOSFET と PiN ダイオードのノイズ考察

パワー半導体の種類およびMOSゲートの有無による振動メカニズムの違いについて、パワーMOSFET と PiN ダイオードの AC 解析結果を使って考察する。アバランシェ現象による振動に影響を与える電流値、ベース厚、そしてベース濃度はパワーMOSFET と同じ値を PiN ダイオードに用いた。

出力側の反射係数 S_{22} を比較した結果、PiN ダイオードとパワーMOSFET はほぼ一致していることが判明した(図 50)。この結果から、アバランシェ現象による振動にパワー半導体の種類が関係せず、振動メカニズムは全て同じである可能性が高い。疑似定常法による振動波形も形状、周波数ともほぼ同じであった。

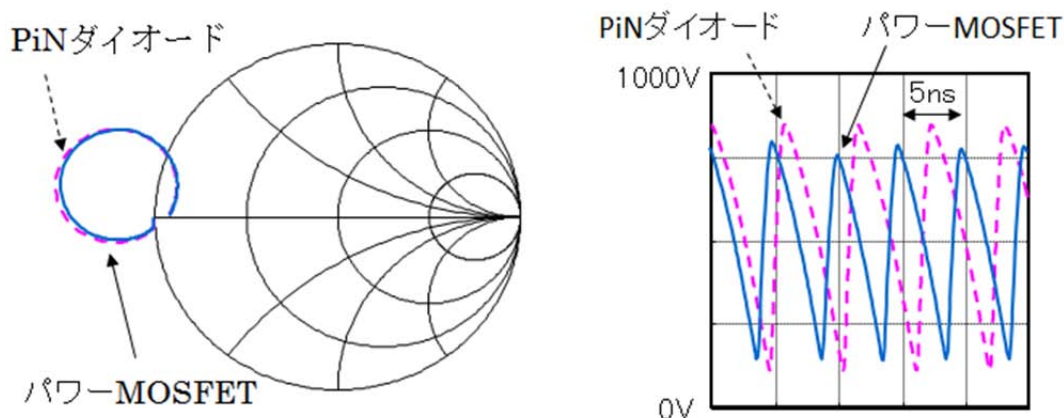


図 50 パワーMOSFET と PiN ダイオードの S パラとアバランシェ振動

第6章 シリコンパワー半導体の新しい設計アプローチ

6. 1 ノイズ抑制により高効率化を目指した従来アプローチの限界

第2章で示した通り、シリコン PiN ダイオードの理論性能は現在製品化されている SiC-SBD の性能に肉薄するほど高く [29]、今後もシリコンパワー半導体の大幅な高性能化が狙えることを示唆している。しかしシリコンパワー半導体の高性能化を進める上で、EMI ノイズが大きな障害になっており、第3章から第5章で波形振動のメカニズムおよび振動発生クライテリアを考察した。

パワー半導体の高性能化に必要なベース層の薄型化と低濃度化は振動クライテリアを低電圧化する。これにより波形振動は発生しやすくなるが、一定の厚さまでは第3章から第5章までに示したベース厚の最適設計法により振動が抑制される。しかし一定の厚さよりも薄型化するとターンオフ条件によらず必ず LC 共振による振動が発生することも判明し (式(26)、図 51)、ダイナミックアバランシェ振動も深刻化させることが分かった (図 52、図 53)。

これらのクライテリアから判明する高性能化限界を越えるために、ベース層の一部を高濃度化する構造も提案されているが、耐圧確保のために高濃度化に限界があることと、一定濃度以上ではアバランシェによる損失増加が始まることから高性能化には限界がある (式(38))。他にキャリア再注入により振動を抑制する構造も提案されているが、セルフ・クランプによる振動抑制と同様にキャリアの再注入により損失が発生するため高性能化に逆行する (付録 2)。

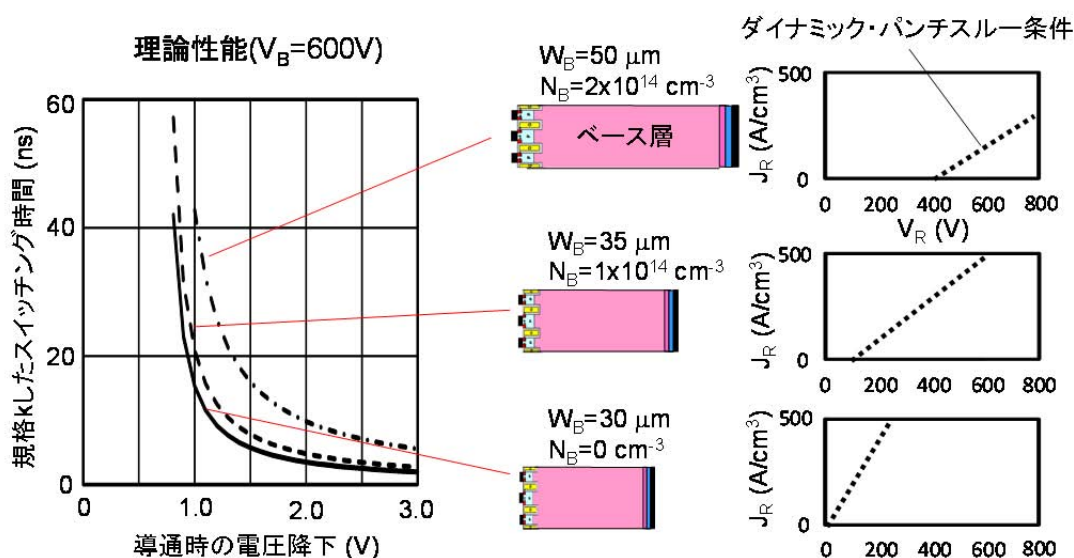


図 51 高性能化によるダイナミック・パンチスルー条件の低電圧側への移動

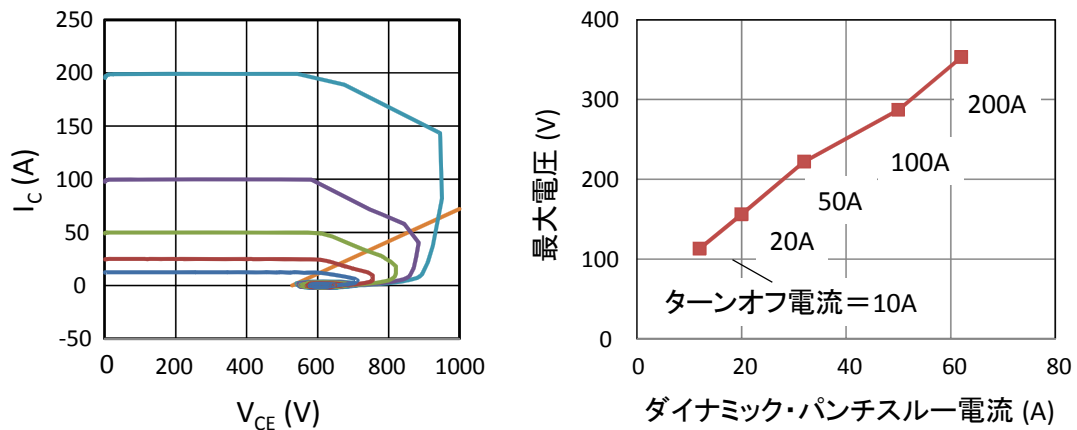


図 52 ダイナミック・パンチスルー電流と誘導起電力による最大電圧の関係

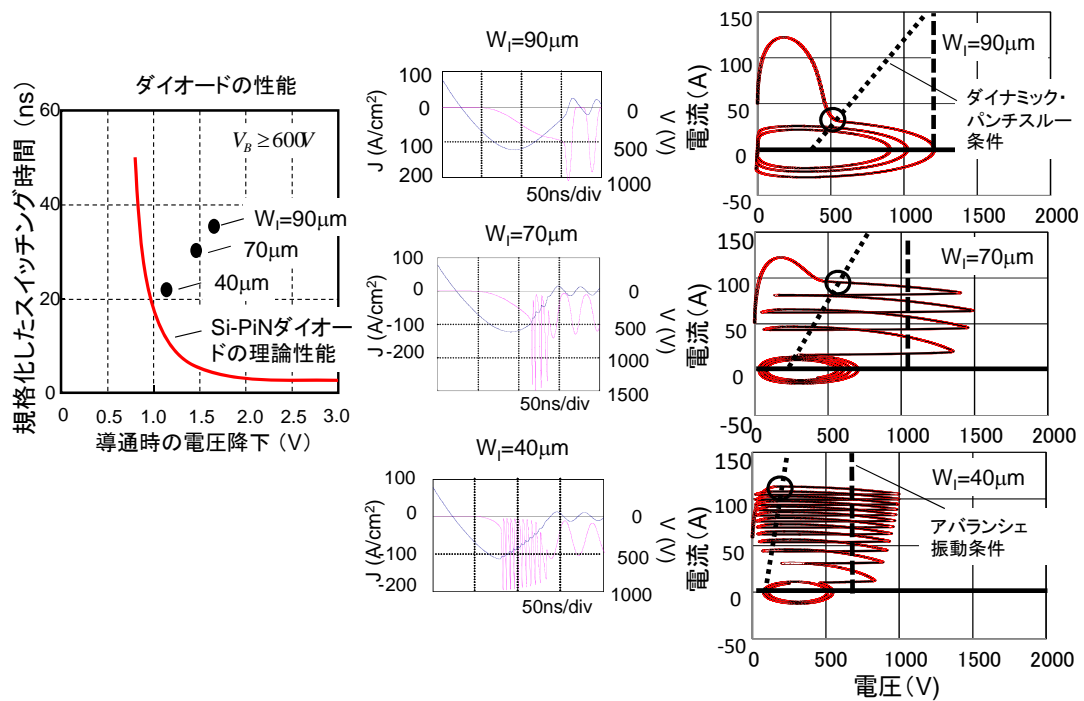


図 53 高性能化によるダイナミック・パンチスルー条件とアバランシェ振動条件の低電圧側への移動

6. 2 波形振動を抑制する新しい設計アプローチ

高性能化のためには波形振動のトリガであるダイナミック・パンチスルーが原理的に避けられない。そのため「一次元構造」による従来アプローチに代えて、ターンオフ時のキャリア制御を容易にする「二次元構造」によるアプローチを提案する。この新しいアプローチでダイナミック・パンチスルーを制御し、ダイナミック・パンチスルー電流の低減による LC 振動とアバランシェ振動の抑制を目指す。具体的には、高効率化および高性能化のために薄型・低濃度ベース層を用い、波形振動を抑制する部分を付加的に設けることが考えられる。

第7章 シリコンパワー半導体の高効率化を可能にする新構造

7. 1 二次元構造による IGBT の新構造

新しいアプローチである二次元構造を用いた IGBT として、埋め込み層によるバッファ層を導入した設計を提案する(図 54)。これまで述べてきたように、高性能化に対してダイナミック・パンチスルーが避けられないため、埋め込み層の間から緩やかにキャリアを排出させ振動を抑制することが狙いである。

デバイスシミュレーションにより本新構造のターンオフ波形を計算した結果、ダイナミック・パンチスルーの制御(遅延)により、従来構造に比べて LC 振動が抑制されることが判明した(図 55)。両構造ともダイナミック・パンチスルーを起こしているが、従来構造はターンオフが終了する直前に発生するのに対し、新構造ではターンオフが終了した後にダイナミック・パンチスルーが発生している。今回のシミュレーション条件ではアバランシェ振動条件に達しなかったが、疑似定常法によりアバランシェ振動の抑制効果も併せ持つことが判明した(付録 3)

本構造は、スーパージャンクション構造を形成する場合と同様に、多段インプラ+エピにより形成することが可能である。スーパージャンクション構造では複数回のエピおよびイオン注入を繰り返しピラーを形成するが、本構造は2回のエピと1回のイオン注入で形成可能でありスーパージャンクション構造よりもプロセスが容易である(図 56)。

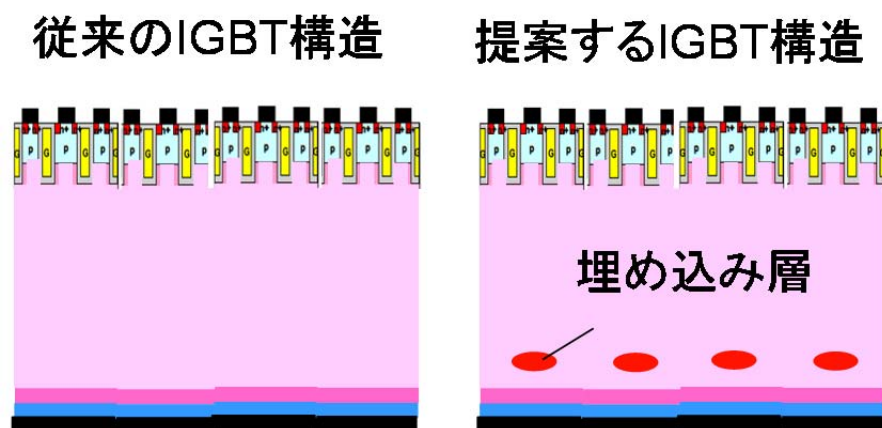


図 54 埋め込み層による二次元構造を用いた IGBT の新構造

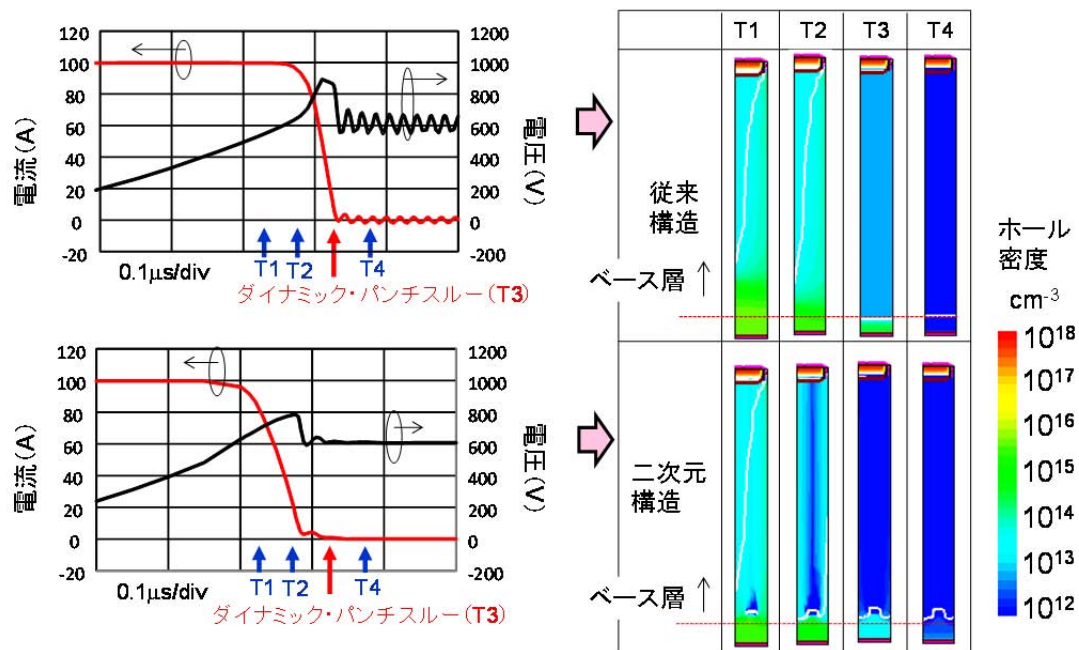


図 55 埋め込み層によるダイナミック・パンチスルーの制御

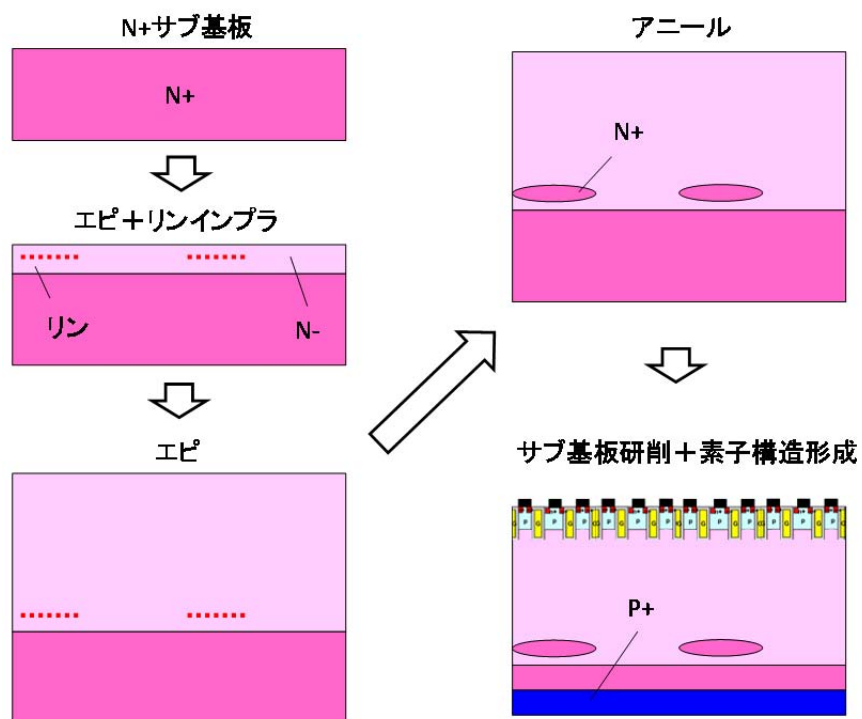


図 56 埋め込み層の形成プロセス例

本構造では、埋め込み層と N バッファ層間の蓄積キャリアにより di/dt を小さくし振動を抑制するので、埋め込み層の深さが最も重要な設計ポイントである。埋め込み層がコレクタから離れるほど di/dt が小さく振動が低減されるが、空乏層の伸びが抑えられるため耐圧低下とのトレードオフ関係による設計の最適化が必要である。 di/dt と耐圧は以下の仮定により解析式で計算される（図 57）。

- ①埋め込み層と N バッファ層間の蓄積キャリア濃度が埋め込み層位置によらず一定。
- ②コレクタからのホール注入終了後に、N バッファ層と埋め込み層間の蓄積キャリアが減少。
- ③直線的な電流減少。
- ④ターンオフ終了と同時に N バッファ層に空乏層が到達。
- ⑤キャリアライフタイムよりも逆回復時間が大幅に短い（再結合を無視できる）。

di/dt と寄生インダクタンスの積、および直流電圧から求められる最大サージ電圧は、埋め込み層がエミッタに近いときはほとんど変化がなく、コレクタに近づくとき指数関数的に高くなる。一方耐圧は直線に対してやや飽和しながら高くなるので、耐圧に対する最大電圧の余裕はある一定の埋め込み層深さで最大となり、このポイントが最適な設計値となる。

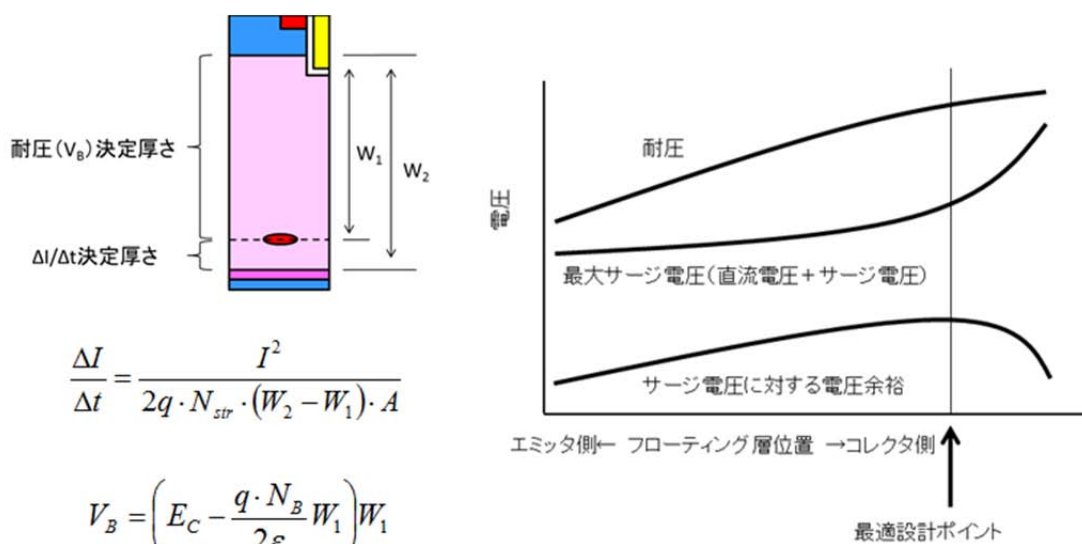


図 57 埋め込み層を用いた IGBT の設計ガイドライン

7. 2 二次元 SOI 構造による PiN ダイオードの新構造

二次元構造を用いた構造として、SOI 構造に凹凸 BOX 層を用いた横型ダイオードを提案する(図 58)。凹凸形状は三角状とし、凹凸の段差はピークからピークで $2\mu\text{m}$ 、シリコン (SOI) の平均厚は従来 SOI 構造と同じにした。本提案の SOI 構造は、凹凸 BOX 層の谷間に残留される蓄積キャリアによりダイナミック・パンチスルーの抑制が可能であると考えた。先に述べた IGBT のように埋め込み層を用いてダイナミック・パンチスルーを制御する方法は、I 層の両側からキャリアが排出される PiN ダイオードでは振動を抑制できない。

SOI 基板は 3 層構造をしており Si と SiO_2 間の界面再結合によりキャリアライフタイムが短くなり、拡散長も短くなるという問題点がある。SOI 基板において、SOI 層が薄い場合には Si と SiO_2 境界での再結合が大きく影響をおよぼす。キャリアライフタイムと界面再結合、そして SOI (Si) 層膜厚の関係式を以下に示す。

$$\frac{1}{\tau_{\text{eff}}} = \frac{1}{\tau_{\text{bulk}}} + \frac{(S_U + S_B)}{t_{\text{SOI}}} \quad (56)$$

ここで、 τ_{eff} は実効キャリアライフタイム、 τ_{bulk} はバルク内でのキャリアライフタイム、 S_U と S_B はそれぞれ SOI 層とその上に蓄積している SiO_2 膜および SOI 層と BOX 層との界面再結合速度、 t_{SOI} は SOI 層の厚さである。計算ではバルクのキャリアライフタイムを $10\mu\text{s}$ にしているが、界面再結合に大きな影響を受け、バルクでの値より大幅にキャリアライフタイムが短くなっている。キャリアライフタイムが短くなり拡散長が短くなると、i-層中のキャリア分布がフラットキャリア分布ではなく U 字分布になる。本構造の提案にあたり、電流経路にあたる i 層の拡散長が $50\mu\text{m}$ であることを確認し設計した [29]。

デバイスシミュレーションにより逆回復波形を計算した結果、従来の(縦型)ダイオードや SOI ダイオードの振動に比べて最大振幅が減少し、振動の継続時間も短縮されることが確認できた(図 59)。この理由は、凹凸構造により 600V から 660V に高耐圧化し電界ピークがアノード側に移動する分カソード側のキャリアのドリフト速度が低下しキャリアが残留するためであることが分かった。SOI に凹凸構造を設けた場合の高耐圧化のメリットは既に知られているが、振動抑制にも寄与することが今回初めて明らかになった [30] [31] [32] [33] [34] [35]。シリコン層の厚い部分と薄い部分が直角に変化する凹凸形状にしても高耐圧化されることから、三角状以外の凹凸でも振動抑制が可能であると推測される。今回のシミュレーション条件ではアバランシェ振動条件に達しなかったが、埋め込み層を用いた IGBT 同様、アバランシェ振動の抑制効果も併せ持つことが疑似定常法より判明した(付録 2)

提案する SOI 構造は、通常用いられている貼り合わせでの SOI 形成プロセスに、LOCOS プロセスやトレンチプロセスによる酸化膜凹凸の作製と CMP プロセスを組み合わせて作製可能である(図 60)。これらのプロセス以外にも、SIMOX (Separation by IMplanted OXygen) プロセスを応用し、マスクにより酸素イオンを選択的に注入し熱処理することでも形成できる可能性がある。

既に製品化されている縦型 PiN ダイオードの I 層厚は $70\mu\text{m}$ (データシート) であり、これ以上の薄型化は振動問題により難しかったが、二次元構造によるアプローチを用いた SOI-PiN ダイオードにより I 層長 (厚) が $50\mu\text{m}$ でも使用可能なレベルに振動が抑制されることが判明した。新しいアプローチにより波形振動抑制と I 層厚 (長) の薄型化が両立された結果、30%のスイッチング時間の低減と20%の導通時電圧降下の低減が可能になり、従来アプローチでは埋められなかった理論性能までのギャップを大きく縮めることができた(図 61)。

SOI を使った横型構造は新しい振動抑制アプローチの適用が容易になるメリット以外に、パワー IC 化に向いていることを生かし制御部によるモニターや保護機能などで多機能化が期待できる。また宇宙線破壊に対しても体積縮小による故障率減少の可能性があるので、本構造は本来の振動抑制以外にも大きな高性能化の可能性をもっている。

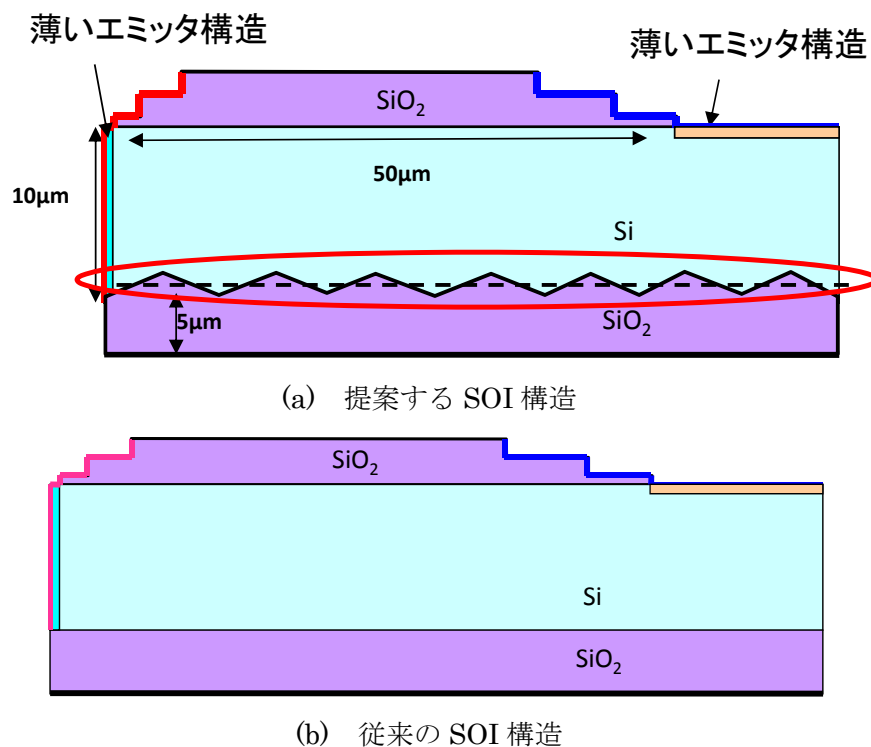


図 58 提案する凹凸 BOX 層を用いた SOI による振動抑制構造

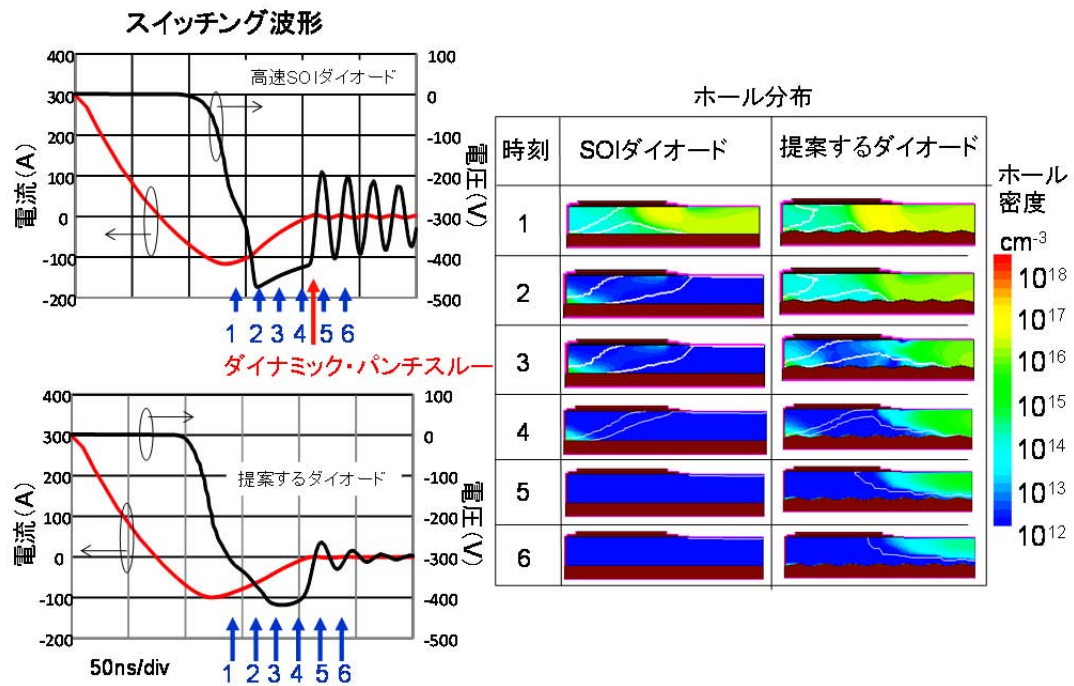


図 59 凹凸 BOX 層を用いた場合の振動抑制効果

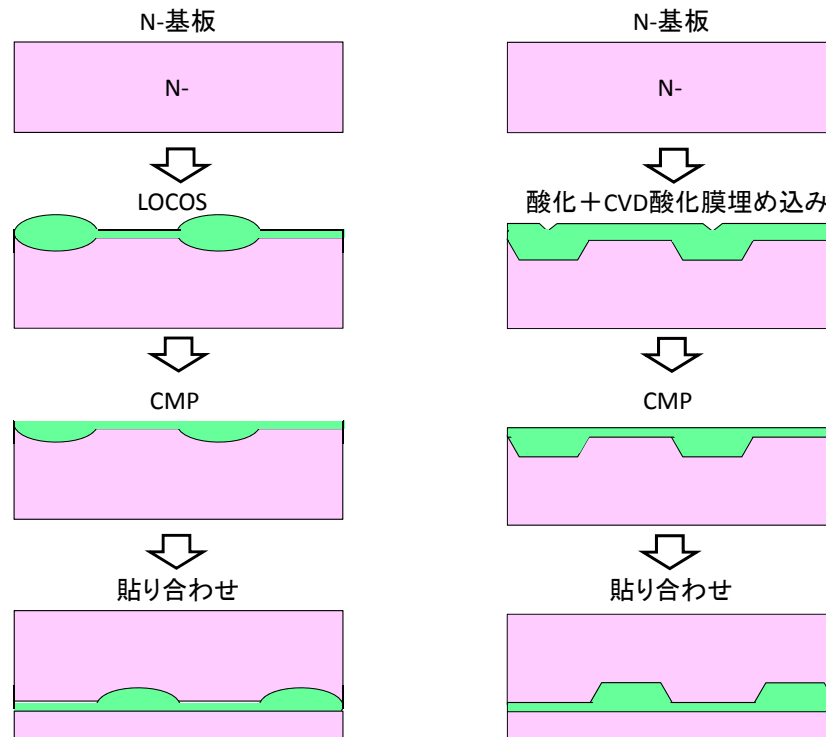


図 60 凹凸構造形成のプロセス例

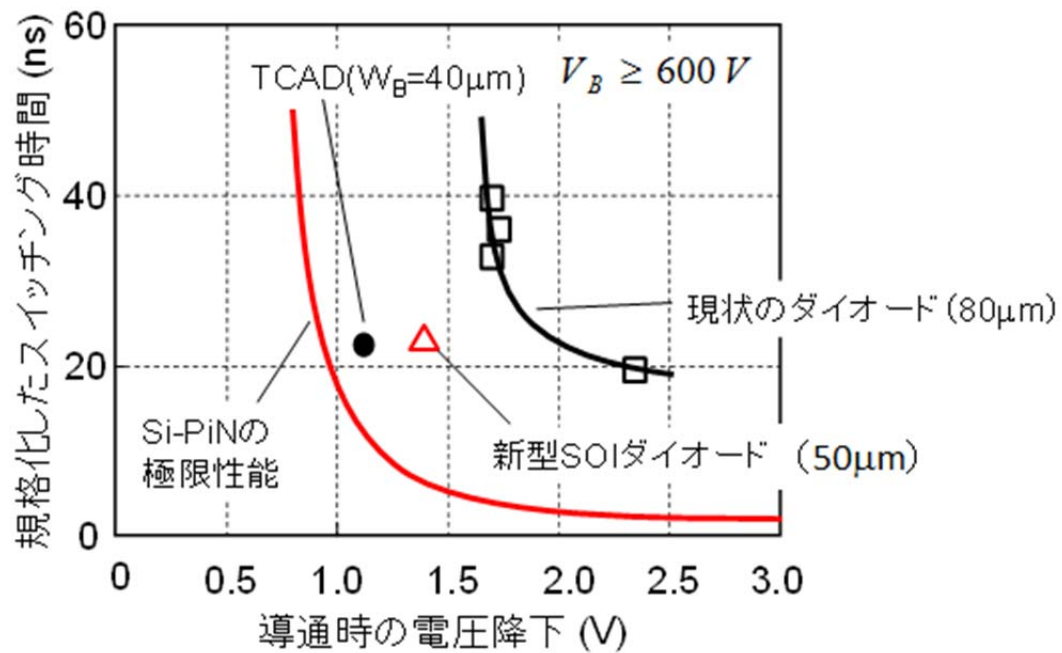


図 61 SOI 構造を用いた二次元構造および低濃度化アプローチによる高性能化

この構造の振動抑制メカニズムを分析すると、凹凸酸化膜の溝の間にホールが貯まることで酸化膜部分に対するシリコン部分の電圧分担が小さくなり NPT 化することが分かった。本構造の設計ポイントである凹凸構造によるダイナミックパンチスルー制御は、ホール蓄積効果が高いとアノード側の電界が高くなり耐圧低下を招くので、振動防止効果と耐圧のトレードオフ関係により最適設計が決まる (図 62)。

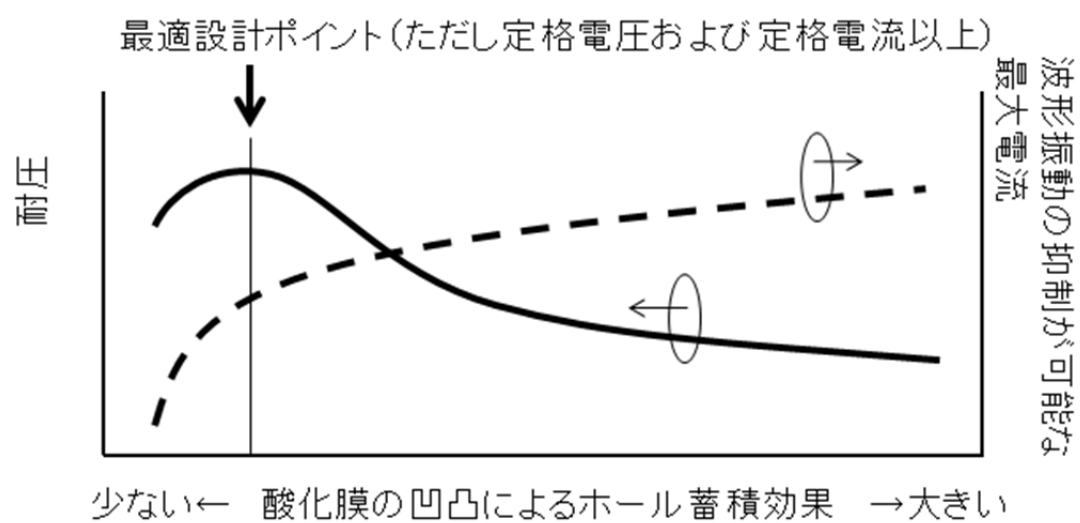


図 62 凹凸 SOI 構造を用いた PiN ダイオードの設計ガイドライン

第8章 結論

高効率エアコンやハイブリッド自動車に用いられるパワー半導体はエネルギーの高効率利用に資する技術として重要視され、拡大する需要に対応するとともに高効率化に向けた技術開発が行われてきた。今後、世界レベルで拡大する需要に応えながら更なる高効率化を達成するには、量産性に優れたシリコン技術をベースに新しい提案を行うことが次世代デバイス開発の一つの柱になる。その一方で、現在用いられているシリコンパワー半導体は材料物性に起因する性能限界により飛躍的な性能改善は困難と考えられており、新しい着想に基づくデバイスの実現が求められてきた。

本研究では新たにバイポーラ型パワー半導体の動作に着目し、シリコンパワー半導体の飛躍的な性能改善を理論的に試みた。その結果、家電、HEV や電力用途に多く用いられる耐圧 600V 以上のシリコンパワー半導体の理論性能は従来考えられているよりも遥かに高いことが判明し、理論性能の実現を目指した新たなデバイス構造を提案した。

第1章では、パワー半導体の種類と応用例をまとめ、本研究テーマ選択の背景に言及した。

第2章では、これまでシリコンパワー半導体の性能限界推定に用いられてきたユニポーラ動作モデルに代え、新たにバイポーラ動作モデルを構築した。本モデルによる検討の結果、シリコンパワー半導体でも効率面で大幅な改善が可能であることが初めて判明した。改善に向け解決すべき課題も明らかになった。即ち、外部回路も含めた検討では著しい波形振動が発生し、制御回路などの誤動作を引き起こす可能性があることが分かった。波形振動は、バイポーラ動作に特徴的なキャリア排出現象に起因する比較的低周波なものと、アバランシェ現象に起因する比較的高周波なものと2種類あることも判明した。

第3章では、低周波波形振動のメカニズムを分析した。波形振動は、素子主要部の蓄積キャリアが完全に排出される瞬間に発生する大きな電流変化（高い di/dt ）に起因することを明らかにした（論文ではダイナミック・パンチスルー現象と呼ぶ）。またダイナミック・パンチスルー現象が発生するクライテリアを提案し実験およびシミュレーションにより妥当性を確認した。

第4章では、ダイナミック・アバランシェ現象に注目し、この現象により著しい高周波波形振動が引き起こされることを初めて解明した。波形振動のメカニズムは瞬間的なアバランシェ現象と、素子内に蓄積された電子とホールとの排出および接合容量への充電の3つの過程を繰り返しており、振動周波数は電流密度に比例することも判明した。なお、今回新たに考案した「擬似定常法」というシミュレーション方法により上記の解析が可能になった。

第5章では、Sパラメータ（散乱行列）によるダイナミック・アバランシェ波形振動のメカニズムを分析した。本方法の特徴は、パワーMOSFET や IGBT (Insulated Gate Bipolar Transistor) などの3端子素子を容易に取り扱えることである。分析の結果、

従来 UIS (Un-clumped Inductive Switching) テストなどで見られたパワーMOSFET など 3 端子素子の波形振動は、第 4 章で明らかにした主接合でのダイナミック・アバランシェに起因することが初めて明らかになった。従来信じられてきた、制御端子へのフィードバックが原因であるという考え方を否定する結果となった。

第 6 章では、第 3 章から第 5 章での議論を整理し、大幅な性能改善にはダイナミック・パンチスルー現象を制御するための新しい構造が必要であることを明らかにした。

第 7 章では、スイッチング素子 (IGBT) と PiN ダイオードに関して、波形振動を解決する新しい素子構造を提案した。IGBT では、N 型フローティング層を導入し、PiN ダイオードでは SOI (Silicon On Insulator) 構造を用いており、それぞれの構造で、効率面での高性能化と波形振動の抑制が両立できることを明らかにした。

本研究では、パワーエレクトロニクス機器に莫大な数が用いられている 600V~1200V クラスの PiN ダイオードや IGBT などシリコンパワー半導体の効率面での大幅な性能改善の方法を明らかにした。

謝辞

本研究の遂行にあたり、懇切なるご指導と助言により常に脳細胞を揺すっていただいた九州工業大学大学院工学研究院電気電子工学研究系教授、大村一郎先生に心より厚くお礼申し上げます。

本論文の作製と研究発表にあたり、論文内容と発表方法について懇切なるご指導をしていただいた九州工業大学大学院工学研究院電気電子工学研究系教授、和泉亮先生、中尾基先生、松本聡先生に厚く御礼申し上げます。

博士課程での論文指導およびカリキュラム遂行にあたり、手続きなどの事務処理面で完璧なサポートをしてくださった岩堀美代さんに深く感謝申し上げます。

私と同じ日に博士課程に入学し、自身が博士号を取得した後も私の博士論文を気にかけて定期的に叱咤激励してくれた田中雅浩氏に感謝申し上げます。

九州工業大学一筋の先輩であり、書類の書き方から博士修了の日程調整まで懇切丁寧に教えていただいた九州工業大学大学院工学研究院電気電子工学研究系助教、渡邊晃彦先生にも心より感謝申し上げます。

論文作成と公聴会発表の助言を下さった、九州工業大学の金田寛先生、長谷川一徳先生に厚く感謝申し上げます。

現在所属している先進パワーデバイス信頼性研究会の座長および前職場の上司であり、本研究をまとめる上で強く背中を押していただいた、北九州市顧問、大橋弘通先生に多大な感謝を申し上げます。

現在の研究チームで指導いただいている九州大学名誉教授、二宮保先生、産業技術総合研究所、西澤伸一先生に感謝申し上げます。

唯一の同僚であり博士論文作成に対し配慮いただいた、公益財団法人国際東アジア研究センター環境エレクトロニクス研究グループの安部征哉先生に深く感謝申し上げます。

公益財団法人国際東アジア研究センターの理事長、所長、研究者の皆様、事務職・スタッフの皆様、そして北九州市新産業振興課・誘致課の皆様にもご配慮いただくことが多く大変感謝申し上げます。

前職場の株式会社東芝でパワー半導体に関する基礎を学ばせていただいた、加藤千晴氏、栗城稔氏、糸賀淑男氏、土門知一氏、中川明夫氏、竹内南氏、小倉常雄氏、四戸孝氏、南良博氏、山口正一氏、松下憲一氏、末代知子氏、二宮英彰氏、羽田野渉氏、崎山陽子氏、浦野聡氏に深く感謝申し上げます。

本研究を進めるにあたり、共にパワー半導体のノイズ問題に頭を悩ませた高濱健一氏、川神圭一朗氏、そして共に研究に切磋琢磨した大村研究室・松本研究室のOB含む学生の皆様に深く敬意を表します。

最後に、博士論文の詰めの段階で出会い、論文完成に向けて多くのことを配慮してくれた婚約者に感謝します。

参考文献

- [1] 大橋弘通, “最近のパワーデバイスの動向,” 電気学会論文誌, 第 巻 122, 第 3, 2002.
- [2] I. Omura, "High Voltage MOS Device Design: Injection Enhancement and Negative Gate Capacitance," *A dissertation submitted to the SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH*, 2000.
- [3] Z. J. Shen and I. Omura, "Power Semiconductor Devices for Hybrid, Electric, and Fuel Cell Vehicles," *Proc. of the IEEE*, vol. 95, no. 4, pp. 778-788, 2007.
- [4] H. Ohashi, "Power devices now and future, strategy of Japan," *Proc. of ISPSD'12*, pp. 9-12, 2012.
- [5] H. Ohashi and I. Omura, "Role of Simulation Technology for the Progress in Power Devices and Their Applications," *IEEE Trans. on electron devices*, vol. 60, no. 2, pp. 528-534, 2013.
- [6] http://kagakukan.toshiba.co.jp/manabu/sci_tech/kaitai/power_j.html.
- [7] <https://www.yanoresearch.com/>.
- [8] (株) 富士経済, “2012年版 次世代パワーデバイス&パワエレ関連機器市場の現状と将来展望,” 2012.
- [9] A. Nakagawa, "Theoretical Investigation of Silicon Limit," *Proc. of ISPSD'06*, pp. 5-8, 2006.
- [10] I. Omura, W. Saito, T. Domon and K. Tsuda, "Gallium Nitride Power HEMT for High Switching Frequency Power Electronics," *International Workshop on Physics of Semiconductor Devices, 2007.*, pp. 781-786, 2007.
- [11] H. Boving, T. Laska, A. Pugatschow and W. Jakobi, "Ultrathin 400V FS IGBT for HEV applications," *Proc. of the 23rd ISPSD*, pp. 64-67, 2011.
- [12] M. Netzel, R. Lerner, R. Siemienieć and J. Lutz, "PT-IGBT and Freewheeling Diode for 3.3kV using Lifetime Control Techniques and Low-Efficiency Emitters," *Microelectronics, 2002. MIEL 2002. 23rd International Conference*, vol. 1, pp. 167-170, 2002.
- [13] S. M. Adler, A. V. Temple, A. P. Ferro and R. C. Rustay, "Theory and Breakdown Voltage for Planar Devices with a Single Field Limiting Ring," *Electron Devices, IEEE Transactions*, vol. 24, no. 2, pp. 107-113, 1977.
- [14] K. Seto, J. Takaishi, H. Imaki, M. Tanaka, M. Tsukuda and I. Omura, "Sub-micron Junction Termination for 1200V Class Devices toward CMOS Process Compatibility," *Proc. of ISPSD 2013*, 2013.

- [15] M. Tsukuda, K. Kawakami, K. Takahama and I. Omura, ""Design for EMI" approach on power PiN diode reverse recovery," *Microelectronics Reliability*, vol. 51, no. 9-11, pp. 1972-1975, 2011.
- [16] K. Yuasa, S. Nakamichi and I. Omura, "Ultra High Speed Short Circuit Protection for IGBT with Gate Charge Sensing," *Proc. of ISPSD'10*, pp. 37-40, 2010.
- [17] T. Tanimura, K. Yuasa , O. Ichiro, "Full Digital Short Circuit Protection for Advanced IGBTs," *Proc. of ISPSD2011*, pp. 60-63, 2011.
- [18] H. Zeller, "Cosmic ray induced failures in high power semiconductor devices," *Solid-State Electronics*, vol. 38, no. 12, pp. 2041-2046, 1995.
- [19] M. Tsukuda, Y. Sakiyama, H. Ninomiya and M. Yamaguchi, "Dynamic Punch-Through Design of High-Voltage Diode for Suppression of Waveform Oscillation and Switching Loss," *Proc. of ISPSD'09*, pp. 128-131, 2009.
- [20] T. Misumi, S. Nakagaki, M. Yamaguchi, K. Sugiyama, F. Hirahara and K. Nishiwaki, "Analysis of Dynamic Avalanche Phenomenon of PiN Diode Using He Ion Irradiation," *Proc. of ISPSD'06*, pp. 1-4, 2006.
- [21] M. Tsukuda, Y. Sakiyama, M. Yamaguchi, K. Matsushita and T. Ogura, "Critical IGBT Design Regarding EMI and Switching Losses," *Proc. of ISPSD'08*, pp. 185-188, 2008.
- [22] S.-C. Lee, K.-H. Oh, H.-C. Jang, J.-G. Lee, S.-S. Kim , C.-M. Yun, "Investigation of Gate Oscillation of Power MOSFETs Induced by Avalanche Mode Operation," *Proc. of ISPSD'07*, pp. 113-117, 2007.
- [23] J. Lutz, H. Schlangenotto, U. Scheuermann and R. D. Doncker, "Semiconductor Power Devices," 2011.
- [24] K. Matsushita, I. Omura, A. Nakagawa , H. Ohashi, "Theoretical investigations on IGBT snubberless, self-clamped drain voltage switching-off operation under a large inductive load," *Proc. of ISPSD' 93*, pp. 46-51, 1993.
- [25] S. Sze, "Physics of Semiconductor Devices. second edition," pp. 566-636 , 1981.
- [26] M. Tsukuda, K. Kawakami and I. Omura, "Scattering Parameter Approach to Power MOSFET Design for EMI," *Proc. of ISPSD'12*, pp. 181-184, 2012.
- [27] 福田益美 , 平地康剛, "GaAs 電界効果トランジスタの基礎," 社団法人電子情報通信学会, 1992.
- [28] K. Kaschani and R. Sittig, "How to avoid TRAPATT oscillation at the reverse-recovery of power diodes," *Proc. of SMICND*, pp. 571-574, 1995.
- [29] K. Takahama and I. Omura, "Numerical study on very high speed silicon PiN diode

- possibility for power ICs in comparison with SiC-SBD," *Proc. of ISPSD'10*, pp. 169-172, 2010.
- [30] 大村一郎, 中川明夫, “半導体装置”. 日本 特許番号: 3959125, 18 5 2007.
- [31] R. Plikat, D. Silber and W. Wondrak, ""Very High Voltage Integration" in SOI Based on a New Floating Channel Technology," *Proc. of IEEE SOI Conference*, pp. 59-60, 1998.
- [32] I. Omura and A. Nakagawa, "SILICON ON INSULATOR SEMICONDUCTOR DEVICE WITH INCREASED WITHSTAND VOLTAGE". United States Patent 6049109, 11 Apr. 2000.
- [33] H. Kapels, R. Plikat and D. Silber, "Dielectric Charge Traps: A New Structure Element for Power Devices," *Proc. of ISPSD*, pp. 205-208, 2000.
- [34] X. Luo, B. Zhang, Z. Li, Y. Guo, X. Tang and Y. Liu, "A Novel 700-V SOI LDMOS With Double-Sided Trench," *IEEE Electron Device Lett.*, vol. 28, no. 5, pp. 422-424, 2007.
- [35] S. Shiraki, Y. Ashida, S. Takahashi and N. Tokura, "Analysis of Transient Characteristics of Lateral IGBTs and Diodes on Silicon-on-Insulator Substrates with Trenched Buried Oxide Structure," *Proc. of ISPSD'10*, pp. 261-264, 2010.
- [36] M. Rahimo, A. Kopta, S. Eicher, N. Kaminski, F. Bauer, U. Schiapbach and S. Linder, "Extending the Boundary Limits of High Voltage IGBTs and Diodes to above 8kV," *Proc. of ISPSD'02*, pp. 41-44, 2002.
- [37] T. Ogura, K. Sugiyama, I. Omura, M. Yamaguchi, S. Teramae, N. Yamano and S. Iesaka, "A New Stored-Charge-Controlled Over-Voltage Protection Concept for Wide RBSOA in High-Voltage Trench-IEGTs," *Proc. of ISPSD'06*, pp. 1-4, 2006.
- [38] M. Rahimo, A. Kopta, U. Schlapbach, J. Vobecky, R. Schnell and S. Klaka, "The Bi-mode Insulated Gate Transistor (BIGT) a potential technology for higher power applications," *Proc. of ISPSD'09*, pp. 283-286, 2009.
- [39] M. Rahimo, A. Kopta, S. Eicher, U. Schlapbach and S. Linder, "Switching-Self-Clamping-Mode “SSCM”, a breakthrough in SOA performance for high voltage IGBTs and Diodes," *Proc. of ISPSD'04*, pp. 437-440, 2004.
- [40] M. Nemoto, T. Naito, A. Nishiura and K. Ueno, "MBBL Diode : A Novel Soft Recovery Diode," *Proc. of ISPSD'04*, pp. 433-436, 2004.
- [41] F. Hille, M. Bassler, H. Schulze, E. Falck, H. P. Felsl, A. Schieber and A. Mauder, "1200V Emcon4 freewheeling diode a soft alternative," *Proc. of ISPSD'07*, pp. 109-112, 2007.

- [42] K. Satoh, K. Morishita, Y. Yamaguchi, N. Hirano, H. Iwamoto and A. Kawakami, "A Newly Structured High Voltage Diode Highlighting Oscillation Free Function In Recovery Process," *Proc. of ISPSD'2000*, pp. 249-252, 2000.
- [43] M. Chen, J. Lutz, M. Domeijl, H. P. Felsl , H.-J. Schulze, "A Novel Diode Structure with Controlled Injection of Backside Holes (CIBH)," *Proc. of ISPSD'06*, pp. 1-4, 2006.
- [44] M. Mori, Y. Yasuda, N. Sakurai and Y. Sugawara, "A NOVEL SOFT AND FAST RECOVERY DIODE (SFD) WITH THIN P-LAYER FORMED BY AIS ELECTRODE," *Proc. of ISPSD'91*, pp. 113-117, 1991.
- [45] K. Nishiwaki, T. Kushida and A. Kawahashi, "A Fast & Soft Recovery Diode with Ultra Small Qrr (USQ-Diode) Using Local Lifetime Control by He Ion Irradiation," *Proc. of ISPSD'01*, pp. 235-238, 2001.
- [46] O. Humbel, N. Galster, F. Bauer and W. Fichtner, "4.5 kV-Fast-Diodes with Expanded SOA Using a Multi-Energy Proton Lifetime Control Technique," *Proc. of ISPSD'99*, pp. 121-124, 1999.

表一覧

表 1	薄型化により発生する波形振動（シミュレーション）	22
表 2	LC 共振とアバランシェ現象による波形振動例（ [19] [20] [21] [22]参照）	23
表 3	シミュレーションによる提案した PiN ダイオード構造の主要特性.....	37

図一覧

図 1	パワーエレクトロニクス（パワエレ）の応用分野.....	2
図 2	パワーエレクトロニクスの高パワー密度化（ [1]をもとに再構成）	2
図 3	パワエレ：パワー半導体を実現する高効率電力変換技術.....	4
図 4	パワー半導体の損失発生要因	4
図 5	パワー半導体の種類と応用例（ [6]をもとに再構成）	6
図 6	最近のパワー半導体の高性能化（ [4]をもとに再構成）	7
図 7	パワー半導体の世界市場（ [8]をもとに再構成）	8
図 8	シリコンパワー半導体のオン抵抗.....	9
図 9	シリコンパワー半導体のスイッチング時間と導通時の電圧降下	10
図 10	シリコンパワー半導体高性能化のアプローチ	10
図 11	高注入エミッタと低注入エミッタのエミッタ付近のキャリア分布.....	12
図 12	バイポーラ動作モデルにより計算したシリコンパワー半導体の性能	15
図 13	パワー半導体の新しい理論性能（ [10]をもとに再構成）	18
図 14	シリコンパワー半導体高性能化のアプローチ実現に必要とされる仕様 （ [11] [12] [14]参照）	19
図 15	理論性能モデルの高性能化アプローチの確認（TCAD シミュレーション）	20
図 16	シリコン PiN ダイオードの高性能化（TCAD シミュレーション）	20
図 17	パワーエレクトロニクス機器から発生するノイズの種類と周波数.....	24
図 18	IGBT で振動が発生する場合のベース層内の電界分布とキャリア分布 ...	25
図 19	IGBT のターンオフ波形振動が発生しない場合	26
図 20	ダイナミック・パンチスルーによる IGBT の波形振動発生	26
図 21	PiN ダイオードのターンオフ波形振動が発生しない場合	27
図 22	ダイナミック・パンチスルーによる PiN ダイオードの波形振動発生	28
図 23	インバータ回路を模擬したパワー半導体のスイッチング測定回路.....	30
図 24	実験による IGBT のターンオフ波形と対応する電流－電圧軌跡（実験）	31
図 25	寄生インダクタンスとゲート抵抗変化した場合のターンオフ波形と	31
図 26	PiN ダイオードのサージ電圧とダイナミック・パンチスルーの発生条件	

.....	34
図 27 提案する PiN ダイオードの新構造とカソードからの注入効率変化.....	35
図 28 導通電流が大きいときの PiN ダイオードのキャリア分布と電界分布	36
図 29 提案した PiN ダイオード新構造による電圧振動と逆回復電流の変化	36
図 30 セルフ・クランプによるダイナミック・アバランシェ	39
図 31 IGBT ターンオフ時の電流－電圧軌跡と対応する電圧波形（実験）	40
図 32 ダイナミック・アバランシェによる IGBT ターンオフ損失の増加（実験）	40
図 33 アバランシェ状態を再現する電流源だけを用いた疑似定常法	42
図 34 疑似定常法による逆回復波形の再現	42
図 35 疑似定常法による順方向電流を変えた場合の逆回復波形の再現	43
図 36 疑似定常法によるベース層のライフタイム変えた場合の逆回復波形の再現	43
図 37 疑似定常法による PiN ダイオード振動時の電圧、電流変化	45
図 38 波形振動時の内部キャリアと電界の様子	46
図 39 アバランシェによる振動の振動周波数	46
図 40 ベース厚に反比例する飽和振動周波数	47
図 41 パワーMOSFET への振動周波数モデルの適用	48
図 42 PiN ダイオードと同じモデルで計算されるパワーMOSFET の飽和振動周 波数	48
図 43 アバランシェ振動による振動の継続と減衰	50
図 44 アバランシェ振動発生時の条件による S パラメータの抽出	53
図 45 ドリフト層の濃度を変化させた時の S パラメータ	54
図 46 S パラメータから計算されたパワーMOSFET の透過係数	55
図 47 S パラメータから計算された安定係数（K ファクター）	56
図 48 N ベースの濃度変化で現れる連続振動と減衰振動	57
図 49 リードダイオード構造による安定化	57
図 50 パワーMOSFET と PiN ダイオードの S パラとアバランシェ振動	58
図 51 高性能化によるダイナミック・パンチスルー条件の低電圧側への移動 ..	59
図 52 ダイナミック・パンチスルー電流と誘導起電力による最大電圧の関係 ..	60
図 53 高性能化によるダイナミック・パンチスルー条件と	60
図 54 埋め込み層による二次元構造を用いた IGBT の新構造	62
図 55 埋め込み層によるダイナミック・パンチスルーの制御	63
図 56 埋め込み層の形成プロセス例	63
図 57 埋め込み層を用いた IGBT の設計ガイドライン	64
図 58 提案する凹凸 BOX 層を用いた SOI による振動抑制構造	66

図 59	凹凸 BOX 層を用いた場合の振動抑制効果.....	67
図 60	凹凸構造形成のプロセス例.....	67
図 61	SOI 構造を用いた二次元構造および低濃度化アプローチによる高性能化	68
図 62	凹凸 SOI 構造を用いた PiN ダイオードの設計ガイドライン	69

研究業績目録

学術論文

1. M. Tsukuda, K. Kawakami, K. Takahama and I. Omura ““Design for EMI” approach on power PiN diode reverse recovery”, Microelectronics Reliability 51, pp. 1972-1975, 2011

論文・国際会議実績

1. Masanori Tsukuda, Ichiro Omura, Yoko Sakiyama, Masakazu Yamaguchi, Ken’ ichi Matsushita and Tsuneo Ogura, “Critical IGBT Design Regarding EMI and Switching Losses” Proceedings of International Symposium on Power Semiconductor Devices and ICs’ 08, pp.185-188, 2008.
2. Masanori Tsukuda, Yoko Sakiyama, Hideaki Ninomiya and Masakazu Yamaguchi, “Dynamic Punch-Through Design of High-Voltage Diode for Suppression of Waveform Oscillation and Switching Loss” Proceedings of International Symposium on Power Semiconductor Devices and ICs’09, pp.128-131, 2009.
3. Masanori. Tsukuda, Keiichiro Kawakami and Ichiro. Omura, “Scattering Parameter Approach to Power MOSFET Design for EMI”, Proceedings of International Symposium on Power Semiconductor Devices and ICs’12, pp.181-184, 2012.

参考論文

Y. Kasho, H. Hirai, M. Tsukuda and I. Omura, ““Tiny-scale “stealth” current sensor to probe power semiconductor device failure”, Microelectronics Reliability 51, pp. 1689-1692, 2011.

Tomoko Matsudai, Masanori Tsukuda, Shinichi Umekawa, Masahiro Tanaka and Akio Nakagawa, “New Anode Design Concept of 600V Thin Wafer PT-IGBT with Very low Dose P-buffer and Transparent P-emitter” Journals of IEE Proc.-Circuits Devices Syst., Vol. 151, No. 3, June 2004, pp.255-258, 2004.

H. Hirai, Y. Kasho, M. Tsukuda and I. Omura, “ Bonding Wire Current Measurement with Tiny Film Current Sensors” Proceedings of ISPSD’ 12,

pp.287-290, 2012.

K. Seto, R. Kamibaba, M. Tsukuda, I. Omura, "Universal Trench Edge Termination Design," Proceedings of ISPSD'12, pp.161-164, 2012.

I. Omura, M. Tsukuda, W. Saito and T. Domon "High Power Density Converter using SiC-SBD", Proc.of PCC-Nagoya,2007, pp.575-580,2007.(Invited)

Masanori Tsukuda, Ichiro Omura, Wataru Saito and Tomokazu Domon, "Demonstration of High Output Power Density (50 W/cc) Converter using 600 V SJ-MOSFET and SiC-SBD", Proceedings of 4th International Conference on Integrated Power Systems' 06, 2006.

Masanori Tsukuda, Ichiro Omura, Tomokazu Domon, Wataru Saito and Tsuneo Ogura, "Demonstration of High Output Power Density (30 W/cc) Converter using 600 V SiC-SBD and Low Impedance Gate Driver" Proceedings of International Power Electronics Conference'05, S32-4, 2005.

Tomoko Matsudai, Masanori Tsukuda, Shinichi Umekawa, Masahiro Tanaka and Akio Nakagawa, "New Anode Design Concept of 600V Thin Wafer PT-IGBT with Very low Dose P-buffer and Transparent P-emitter" Journals of IEE Proc.-Circuits Devices Syst., Vol. 151, No. 3, June 2004, pp.255-258, 2004.

Makoto Mizukami, Osamu Takikawa, M. Murooka, Seiji Imai, Kozo, Kinoshita, Tetsuo Hatakeyama, M. Tsukuda, W. Saito, I. Omura and Takashi Shinohe, "A 600V Deep-Implanted Gate Vertical JFET", Journals of Materials Science Forum (Volumes 457 - 460) Silicon Carbide and Related Materials 2003, pp.457-460, 2003.

Tomoko Matsudai, Masanori Tsukuda, Shinichi Umekawa, Masahiro Tanaka and Akio Nakagawa, "New Anode Design Concept of 600V Thin Wafer PT-IGBT with Very low Dose P-buffer and Transparent P-emitter" Proceedings of International Symposium on Power Semiconductor Devices and ICs'03, pp.75-78, 2003.

Ken-ichi Matsushita, Takashi Shinohe, Masanori Tsukuda, Yoshihiro Minami, Jun-ichi Miwa, Satoshi Yanagisawa and Hiromichi Ohashi, "4.5 kV High-Speed and

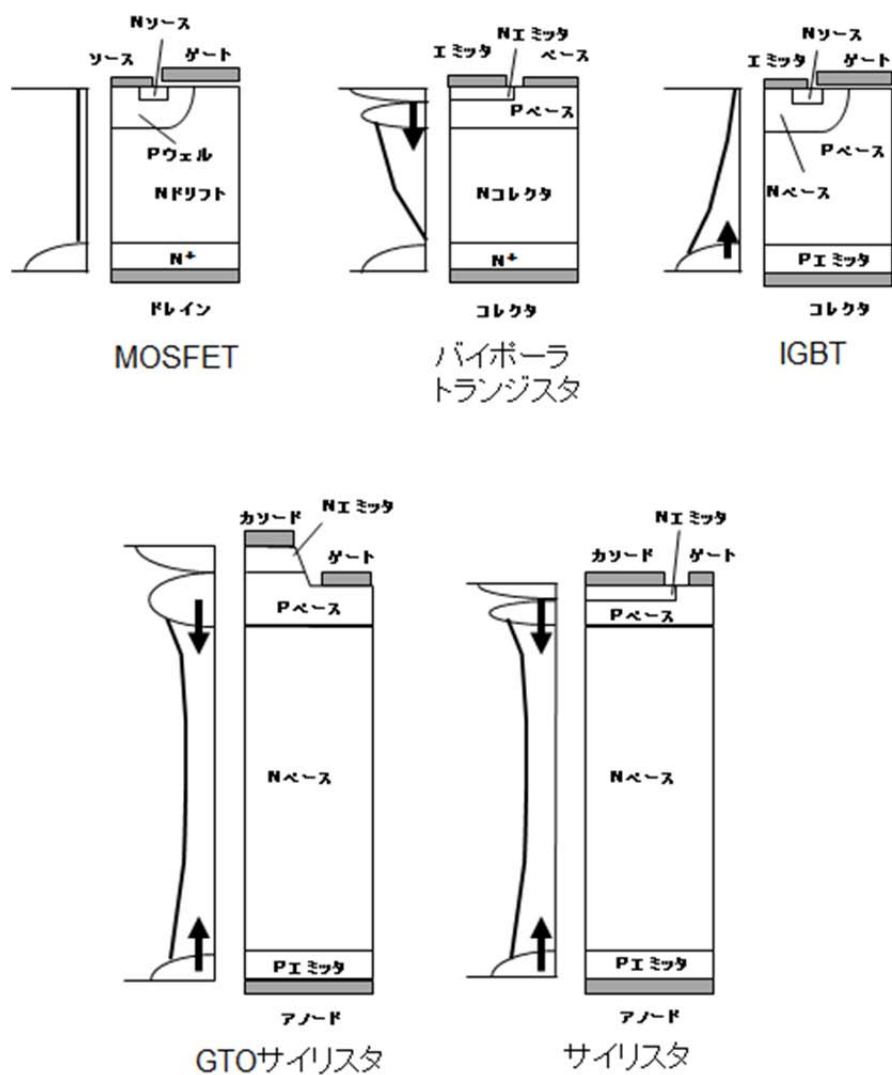
Rugged Planar Diode with Novel Carrier Distribution Control” Proceedings of International Symposium on Power Semiconductor Devices and ICs’98, pp.191-194, 1998.

付録

付録1 電力用半導体とその開発動向

付録1-1 電力用半導体の歴史と動向

最初の電力用半導体であるシリコン整流器（サイリスタ）がゼネラル・エレクトリック社(EG 社)から 1957 年に商品化された。これを機に代表的なパワーエレクトロニクスであるインバータ技術の研究が盛んに行われ、電力用半導体の高性能化研究が後に続いた。1970 年代にはユニポーラ・デバイスとバイポーラデバイスのそれぞれに対し、デバイス物理やデバイスの基本コンセプトに基づく多くの研究が行われ、パワー MOSFET やゲート・ターンオフ・サイリスタ(GTO)、そして絶縁ゲート型トランジスタ(IGBT)など、現在主流となっている多くの電力用半導体が開発された。1990 年以降、電力用半導体はさらに高性能化が進み、特にパワー MOSFET や IGBT は、家電、情報



図付 1-1 電力用半導体構造とキャリア分布の概念図 [2]

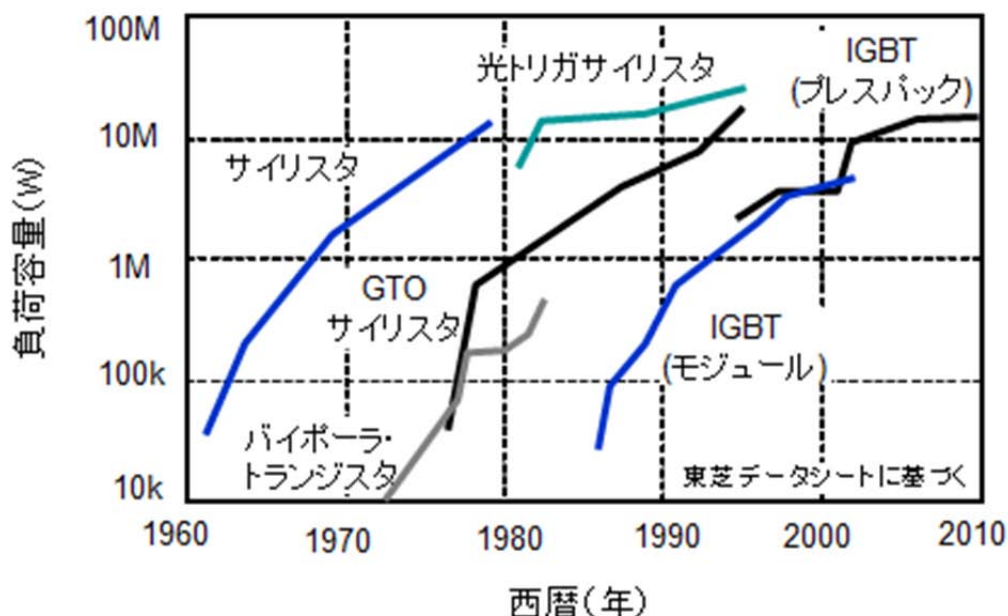
通信技術(ICT)、自動車、産業用機器および電力設備など多くのパワーエレクトロニクス用途で利用されるようになった。図付 1-1 に電力用半導体の構造とキャリア分布を示す。

電力用半導体は電力変換容量ごとに最適なスイッチングデバイスの種類が異なる。中容量領域で適用される IGBT は、MOS ゲートによりスイッチングの高速化とゲートドライバの小型化を可能にし、大きな進歩をもたらした。その結果、バイポーラトランジスタは短期間で IGBT に置き換えられた。

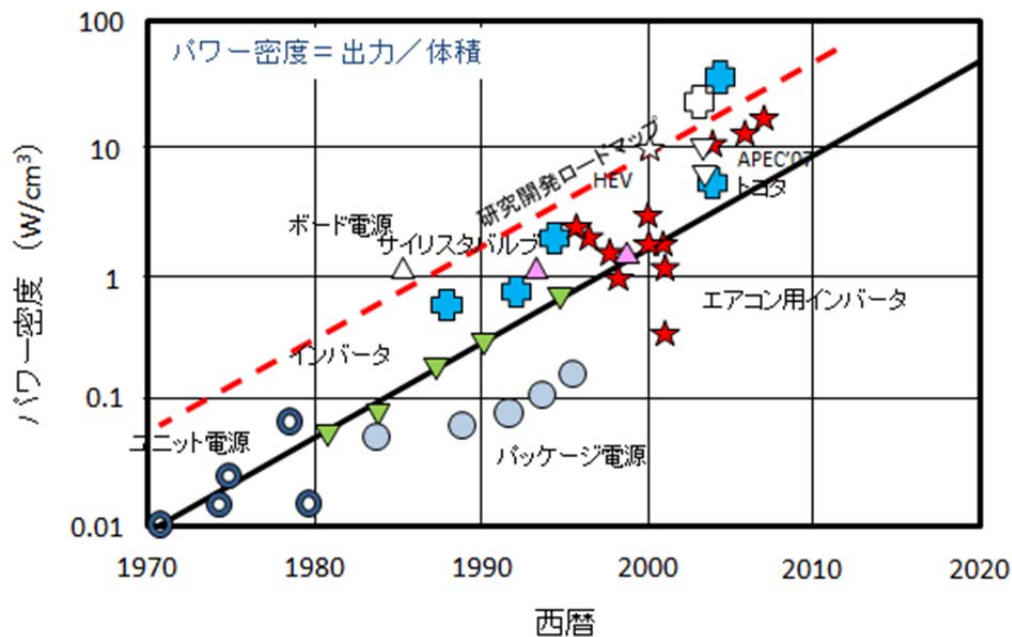
MOS ゲートを用いた 4.5kV クラスの高耐圧・大容量デバイスの研究開発は 1990 年代初頭に始まった(図付 1-2)。この研究ターゲットは GTO を置き換えるのに十分な性能をもつ新しい MOS ゲートデバイスを開発することである。キャリア蓄積効果により今ではこの高耐圧・大容量クラスで主流となった IGBT(IEGT)は、P エミッタからのみキャリアが注入するため原理的に電圧降下が大きく、当初は新デバイスの候補と考えられていなかった。

当初新デバイスの候補として提案されていたのは MCT や EST であった。MCT はターンオフの際にエミッタとベースを短絡させる MOS ゲートをもち、EST はサイリスタの N エミッタに直列に MOS チャネルをもつ。実際に作製された MCT と EST は P エミッタと N エミッタからのキャリア注入により低い電圧降下を実証したが、ターンオフ能力の不足と破壊現象により GTO を置き換えるデバイスではなかった。

パワー半導体の低損失化は電力変換器の高効率化に向けて常に重要だが、効率は徐々



図付 1-2 高耐圧・大電力電力用半導体の種類と負荷容量の変遷 [5]



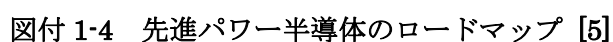
図付 1-3 電力変換器のパワー密度上昇 [5]

に 100% に近づいており、近いうちに開発目標の設定が難しくなる。そのため、効率に代わり単位体積当たりの出力電力であるパワー密度がパワーエレクトロニクスの開発目標として使われてきている。図付 1-3 に示すように、パワー密度はこの 40 年間で約 3 桁上昇しており、この期間に電力変換器の体積は 1/1000 になった。これは主にパワー半導体の低損失化と高速化が可能にした冷却機構とインダクタやキャパシタなどの受動部品の小型化により達成された。

最新の電力用半導体の研究結果および動向予測を以下にまとめる。これを基にしたロードマップを図付 1-4 に示す。

1. シリコン電力用半導体はパワー MOSFET や IGBT の理論性能に対しまだ高性能化の余地がある。
2. シリコン・スイッチングデバイスとシリコンカーバイド・還流ダイオードの組み合わせが、シリコンカーバイド市場を広げるだけでなくシリコンデバイス開発にも重要なステップとなる。
3. 耐圧が 1000V を越える領域では、シリコン IGBT はシリコンカーバイド MOSFET に代わり、シリコンカーバイド IGBT が 10kV 以上の用途で可能性を持ってくる。
4. ガリウムナイトライド電力用半導体がシリコンパワー IC に代わり、より高速なスイッチング用途で使われる。
5. 特殊な性質を持つダイヤモンドが特に高電圧用途の新しいパワーデバイスに向け

6. ICT 用途のパワー IC に対し、極限 CMOS が潜在能力を持ってくる。

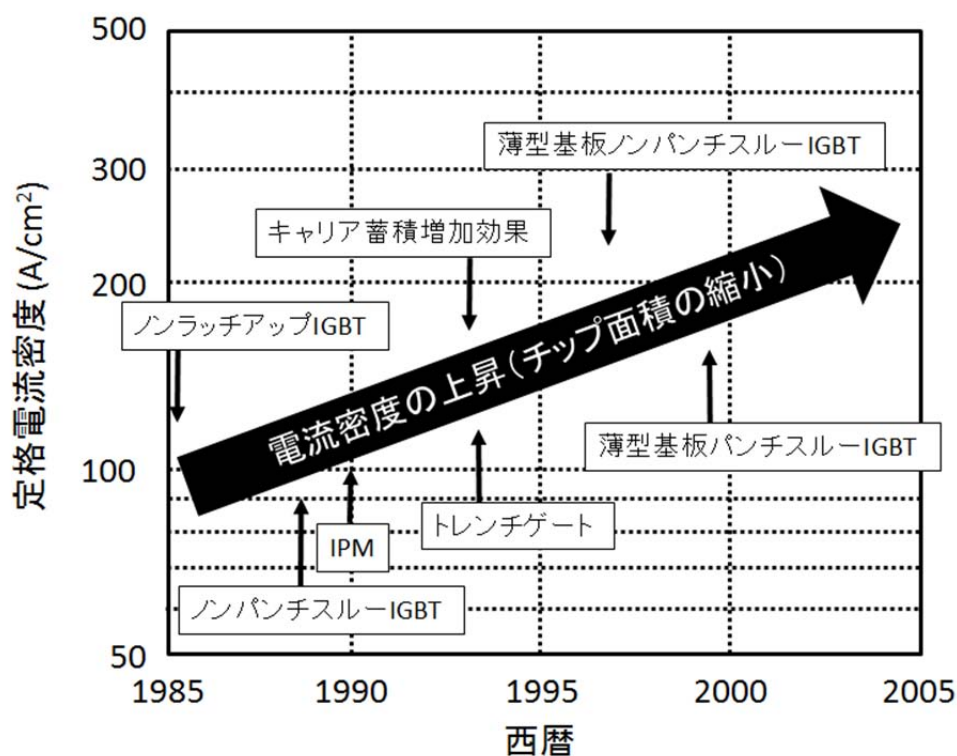


付録 1-2 IGBT の高性能化

IGBT はゲート端子に電圧を印加し制御するスイッチングトランジスタであり、高耐圧パワー MOSFET を越える優れた電流導通能力を活かし HEV やコンバータに用いられている。デバイス動作と構造はパワー MOSFET と似ているが、IGBT は伝導度変調により導通損失の低減が可能である。また IGBT はパワー MOSFET 並みの早いターンオン速度も持ち、バイポーラトランジスタよりも早いスイッチング速度とバイポーラトランジスタと同等の低オン電圧を併せ持つ。

1980 年代半ばに IGBT が最初に製品化されて以来、半導体業界はデバイス性能と作製コスト削減の面で技術的に大きな進歩を遂げた。図付 1-5 はこれまで上昇し続けている IGBT の電流密度と主要なブレイクスルー技術である。電流密度は 1990 年から 2 倍以上高くなり、チップの実効面積を半分にしても同じ電力をスイッチングできるようになった。この性能向上は、主に IGBT セル構造の最適化、トレンチゲート構造の導入、N ベース、N バッファ、そして P エミッタ構造を含む縦型 IGBT 構造の最適化によるものである。

ラッチアップ耐量を持つ IGBT が開発され製品化が可能になったのは 1980 年代半ばであった。その IGBT は表面にプレーナ DMOS 構造があり、縦型パンチスルー (PT) 構造であった。そして 1980 年代後半にノンパンチスルー (NPT) 構造が提案されまし



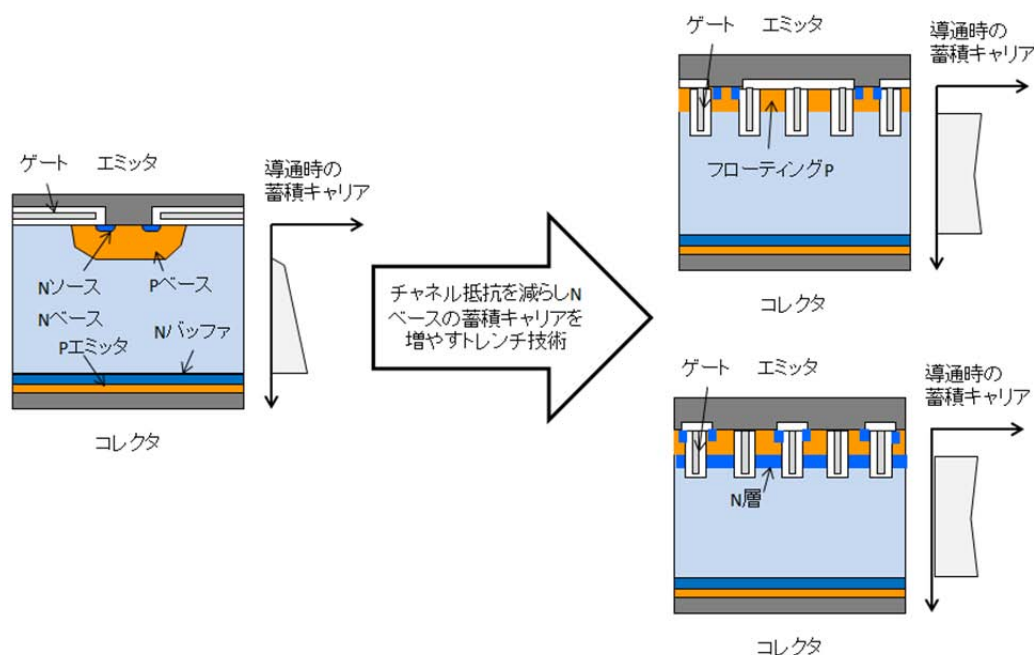
図付 1-5 IGBT の電流密度上昇と主要なブレイクスルー技術 [3]

た。インテリジェントパワーモジュール（IPM）はゲートドライバと IGBT の保護回路の集積化が可能になった 1990 年頃に開発されました。1990 年代初頭、低圧パワー MOSFET の劇的なオン電圧の低減を牽引したトレンチゲート技術は IGBT にも導入され、IGBT でも MOS チャネル抵抗と JFET 抵抗を大きく低減した。

IGBT 用のトレンチゲート構造は深くて広い間隔を持ち、P ベースに逆注入されるホールを減少させ大幅にエミッタ側の電子の注入効率を高める（図付 1-6）。これにより MOS チャネル抵抗が僅かに増加するが、それ大幅に上回る N ベース抵抗の低減効果があり特に高耐圧 IGBT には非常に有利に働く。トレンチ間隔を広げる以外には、P ベースと N ベースの境界に N 型層を形成し、ホールの逆注入電流を抑制して電子注入を増加させる方法もある。これらの 2 つのキャリア蓄積量増加のアプローチは、PiN ダイオードのような最適蓄積キャリア分布を実現するために最近の IGBT に広く適用されている。このトレンチゲート技術に加えて、薄型基板技術によりさらに劇的に IGBT が高性能化された。

最初に製品化された IGBT はパンチスルー IGBT（PT-IGBT）構造であり、適切な濃度の N バッファと低濃度エピタキシャル層による N ベースは、IGBT のコレクタ（または内蔵 PNP トランジスタのエミッタ）となる高濃度 P 型基板の上に形成される。パンチスルー IGBT の低濃度 N 型層は順方向導通特性向上のため薄型であるが、N バッファ中の空間電荷により高電圧が印加されている場合でも、主 PN 接合の空乏層が高濃度 P 基板に到達しない。

PT-IGBT は短い N ベースと高濃度 P 型基板からの高いホール注入効率により低い導



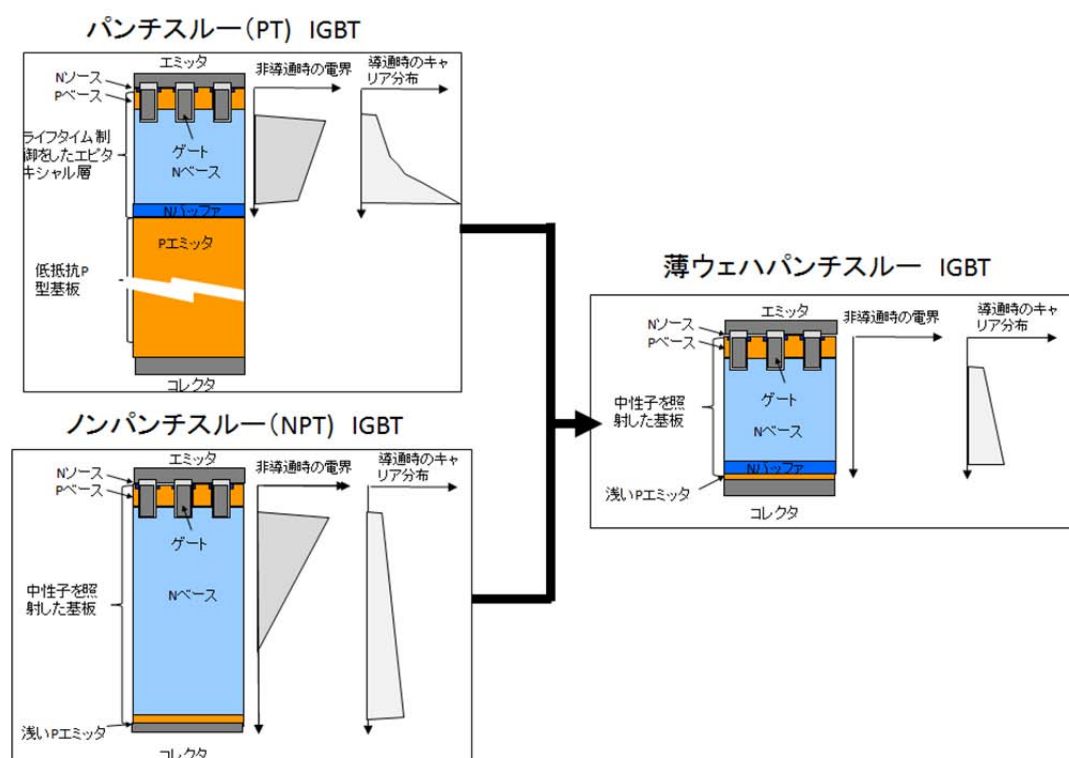
図付 1-6 トレンチゲート構造による IGBT の高性能化 [3]

通損失を実現する。しかしながら高濃度 P 型基板からの高いホール注入効率は高濃度 P 型基板近くに大量の蓄積キャリアを存在させ、テール電流と大きなスイッチング損失を発生させる。このため、キャリアのライフタイム制御技術を用い、蓄積キャリアを再結合により減らしターンオフ時間を制御する。キャリアライフタイム制御技術はスイッチング損失を低減するが、N ベースの蓄積キャリアが減ることにより導通損失が上昇し、抵抗の温度係数が負になることにより電流集中の可能性が高まる。

ノンパンチスルーIGBT（NPT-IGBT）はエピタキシャル基板によるパンチスルー IGBT に代わるアプローチとして提案された。ノンパンチスルー構造は長い N ベースが特徴であり、これにより N バッファが不要である。フローティングゾーン（FZ）法による基板に作製され、基板コストが大幅に削減される。

NPT-IGBT は P エミッタのホール注入効率が裏面へのイオン注入で制御でき、キャリアライフタイム制御が不要である。浅い低濃度 P エミッタは、ターンオフ特性を向上させ抵抗の温度係数に対しても有利に働くが、長い N ベースにより導通損失は大きくなる。

短い N ベースと浅い低濃度 P エミッタが特徴である薄型基板 PT-IGBT は、最新の IGBT プロセスにより作製が可能になった。この薄型基板 PT-IGBT は従来の PT-IGBT と違い、NPT-IGBT のように浅い低濃度 P エミッタによりキャリアライフタイム制御を用いないことである。薄型基板 NPT 構造のコンセプトは、GCT や N ベース厚が 400



図付 1-7 薄型基板技術による IGBT の高性能化 [3]

ミクロン程度の高耐圧 IGBT で最初に実証された。しかし 600V から 1200V 耐圧 IGBT の理想ウェーハ厚は 100 ミクロン未満であり以前は実現が難しかった。

薄型基板プロセスの飛躍的進歩は 1996 年に報告され、その後の 600V から 1200V の薄ウェーハ PT-IGBT 開発取り組みのきっかけになった。薄型基板 PT-IGBT は PT-IGBT と NPT-IGBT 利点を組み合わせることで、導通損失、ターンオフ速度、そして抵抗の温度係数の全てにおいて理想的な特性に近づいた。図付 1-7 に PT-IGBT と NPT-IGBT、そして薄型基板 PT-IGBT のデバイス構造と電圧印加時の電界、そして導通時の蓄積キャリア分布を示す。

IGBT は高性能化と共に省エネへの期待から生産性も求められている。提案されている新しいスケーリング側による浅い PN 接合の IGBT は、高電流密度化と損失低減、そして浅い PN 接合により作製プロセスの単純化が可能である。この新しい設計コンセプトは将来の IGBT の方向性を示しており、IGBT のスケーリング側と P エミッタ濃度の最適化により従来構造よりもキャリアが高注入化し高性能化が可能である [14]。例えば $k=10$ の場合、V-I 特性が $1000\text{A}/\text{cm}^2$ で 1.4V まで向上する。

付録2 論文および国際会議で提案されているパワー半導体の波形振動抑制構造

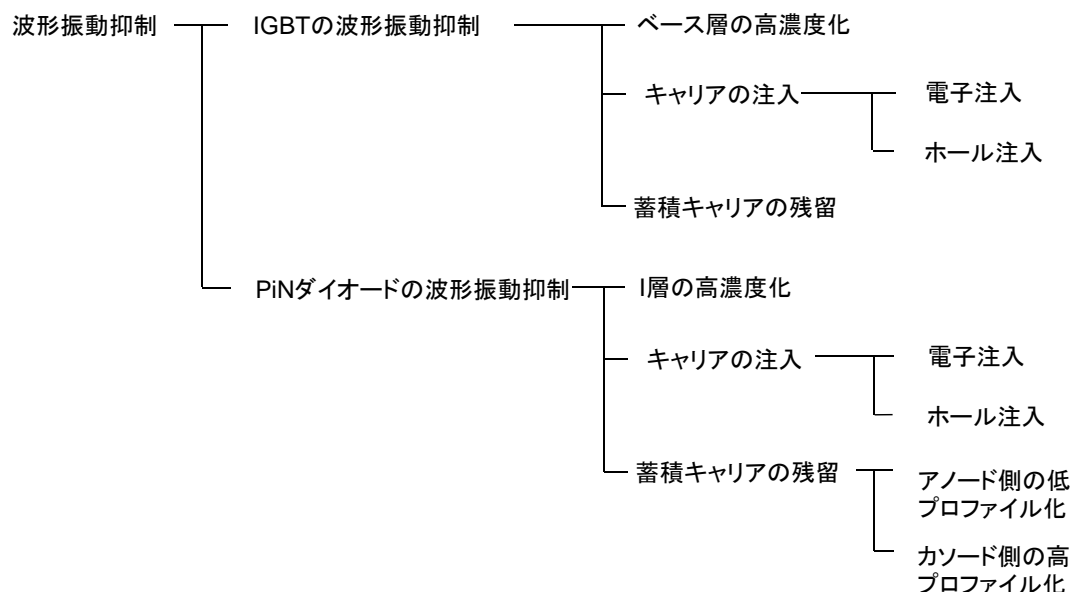
本論文中で提案した構造とこれまで国際会議や論文などで発表された特殊な構造による EMI ノイズ対策を波形振動の抑制原理ごとに系統化してまとめる。パワー半導体の種類ごとにみた振動に関する論文数は、IGBT に比較して PiN ダイオードが多い。この理由は制御端子のある IGBT と異なり PiN ダイオードの最大逆回復電流が制御できないことに加えて、空乏層が低濃度層の両側から伸びることから IGBT よりも低い電圧で振動を起こし易いことによるものと考えられる。

EMI ノイズを抑制するパワー半導体設計は IGBT と PiN ダイオードで共通するものと PiN ダイオードにだけ見られるものがある。共通する設計は、蓄積キャリアを残留させる設計とキャリアを注入する設計であり、この設計によりダイナミック・パンチスルーを防止する。PiN ダイオードのみに見られる設計は蓄積キャリアプロファイルの最適化であり、これによりカソード側の空乏層の伸びを抑えて波形振動を抑制する。またキャリアを注入させる設計には、ホールまたは電子を利用し、蓄積キャリアプロファイルの最適化には、アノード側を低濃度化する設計とカソード側を高濃度化する設計がある（図付 2-1）。

次に提案されている波形振動を抑制する IGBT 設計を紹介する（表付 2-1 から表付 2-4）。蓄積キャリアの残留によりダイナミック・パンチスルーによる波形振動を抑制している例は、2002年に ABB から提案された低濃度で深い N バッファ構造を持つ Soft punch through (SPT) と 2006年に東芝から提案された Stored-Charge-Controlled Over-Voltage Protection Concept (SCC-concept)、および2008年に東芝から提案された N ベース内に局所的に高濃度 N 層を埋め込む構造である [36] [37] [21]。ホール注入により波形振動を抑制している例は、2009年に ABB から提案された Bi-mode Insulated Gate Transistor (BIGT) 構造である [38]。本構造は IGBT と PiN ダイオードの一体化により IGBT モジュールの小型化を狙ったものであるが、電圧が高くなると RC-IGBT（逆導通 IGBT）のコレクタ側からホールが注入される。電子注入とキャリア残留の両方を使っている構造は2004年に ABB から提案された Switching-Self-clamping-Mode (SSCM) and soft punch through (SPT) であり、キャリア残留の例で紹介した SPT 構造に加えてダイナミック・アバランシェ現象による電子注入の効果も利用している [39]。

次は波形振動を抑制する PiN ダイオード設計を振動抑制分類に従い紹介する（表付 2-5 から表付 2-14）。蓄積キャリアの残留によりダイナミック・パンチスルーによる波形振動を抑制している例は、2004年に富士電機から提案された I 層中央付近を高濃度化する Middle Broad Buffer Layer (MBBL) 構造と 2007年に Infineon から提案された emitter controlled (EmCon) technology である [40] [41]。EmCon は SPT と似た構造でありどちらの方法も空乏層の伸びを抑制する。電子注入による方法には1995年に紹介された P 層と I 層の間に高濃度 N 層を設けた Read-type pin-diode がある [28]。

高濃度 N 層を設けることで、N 接合でアバランシェが発生し、I 層内に電子が注入される。ホール注入による方法には、2000 年に三菱電機から提案されたカソード電極に接するように局所的に P 層を設けた構造と 2006 年に Infineon などから提案されたカソード電極から離して局所的に P 層を設けた **Controlled Injection of Backside Holes (CIBH)**がある [42] [43]。いずれの構造もダイオードにかかる電圧が高くなるとホールを注入する。電子注入とキャリア残留による方法は IGBT と全く同じ構造で ABB から提案されている [39]。アノード側の低キャリア密度化による方法は、1991 年に日立から提案された **soft and fast recovery diode (SFD)**と 2001 年にトヨタから提案された **Ultra Small Qrr (USQ-Diode)**がある。どちらの構造も通常濃度の P 層に加えて低高度 P 層を併用してホール注入を抑えている [44] [45]。カソード側の高キャリア密度化には 2009 年に東芝から提案されたカソード側 N 層の電流経路を酸化膜で削減した構造がある [19]。この構造の特徴は振動抑制構造と逆回復時の低損失化を両立していることである。アノード側の低キャリア密度化とカソード側の高キャリア密度化の両方を使っているのが、1999 年に ABB などから提案された複数回のプロトン照射によりライフタイムをコントロールしている **Multi-Energy Proton Lifetime Control Technique** である [46]。



図付 2-1 特殊な構造による EMI ノイズ対策

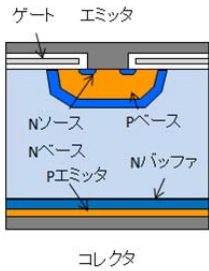
表付 2-1 EMI ノイズを抑制するための特殊な IGBT 構造例 1 [36]

振動防止方法の分類	ベース層の高濃度化
発表年	2002
論文題目	Extending the Boundary Limits of High Voltage IGBTs and Diodes to above 8kV
著者	M. Rahimo, A. Kopta, S. Eicher, N. Kaminski, F. Bauer, U. Schiapbach, S. Linder
研究機関／会社	ABB
コンセプト名	Soft paunch through (SPT)
内容	深い低濃度層の形成
代表図	

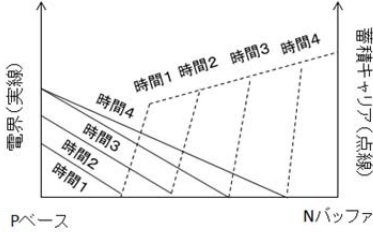
表付 2-2 EMI ノイズを抑制するための特殊な IGBT 構造例 2 [39]

振動防止方法の分類	ベース層の高濃度化とキャリア（電子）注入
発表年	2004
論文題目	Switching-Self-Clamping-Mode “SSCM”, a breakthrough in SOA performance for high voltage IGBTs and Diodes
著者	M. Rahimo, A. Kopta, S. Eicher, U. Schlapbach, S. Linder
研究機関／会社	ABB
コンセプト名	Switching-Self-clamping-Mode (SSCM) and soft punch through (SPT)
内容	アバランシェ現象の利用と深い低濃度バッファ層の形成
代表図	

表付 2-3 EMI ノイズを抑制するための特殊な IGBT 構造例 3 [38]

振動防止方法の分類	キャリア（電子）注入
発表年	2009
論文題目	The Bi-mode Insulated Gate Transistor (BIGT) A Potential Technology for Higher Power Applications
著者	M. Rahimo, A. Kopta, U. Schlapbach, J. Vobecky, R. Schnell, S. Klaka
研究機関／会社	ABB
コンセプト名	Bi-mode Insulated Gate Transistor (BIGT)
内容	コレクタ層を部分的に削除
代表図	

表付 2-4 EMI ノイズを抑制するための特殊な IGBT 構造例 4 [37]

振動防止方法の分類	蓄積キャリアの残留
発表年	2006
論文題目	A New Stored-Charge-Controlled Over-Voltage Protection Concept for Wide RBSOA in High-Voltage Trench-IEGTs
著者	T. Ogura, K. Sugiyama, I. Omura, M. Yamaguchi, S. Teramae, N. Yamano, S. Iesaka
研究機関／会社	Toshiba
コンセプト名	Stored-Charge-Controlled Over-Voltage Protection Concept (SCC-concept)
内容	コレクタ側の蓄積キャリアを残留
代表図	

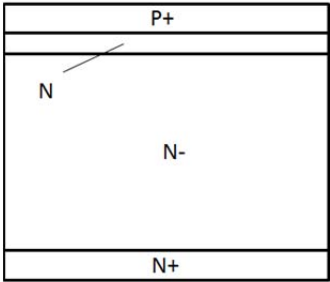
表付 2-5 EMI ノイズを抑制するための特殊なダイオード構造例 1 [40]

振動防止方法の分類	I 層の高濃度化
発表年	2004
論文題目	MBBL Diode : A Novel Soft Recovery Diode
著者	M. Nemoto, T. Naito, A. Nishiura, K. Ueno
研究機関／会社	Fuji Electric
コンセプト名	Middle Broad Buffer Layer (MBBL)
内容	I 層中央付近を高濃度化
代表図	

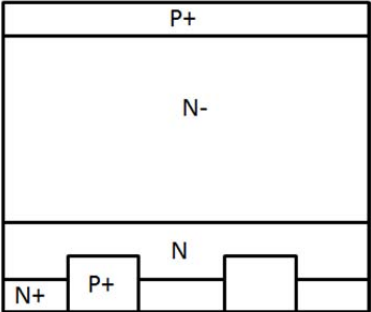
表付 2-6 EMI ノイズを抑制するための特殊なダイオード構造例 2 [41]

振動防止方法の分類	I 層の高濃度化
発表年	2007
論文題目	1200V Emcon4 freewheeling diode a soft alternative
著者	F. Hille, M. Bassler, H. Schulze, E. Falck, H.P. Felsl, A. Schieber, A. Mauder
研究機関／会社	Infineon Technologies AG
コンセプト名	Emitter controlled (EmCon) technology
内容	深い低濃度バッファ層
代表図	

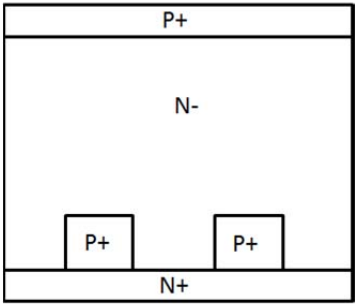
表付 2-7 EMI ノイズを抑制するための特殊なダイオード構造例 3 [28]

振動防止方法の分類	キャリア（電子）注入
発表年	1995
論文題目	How to avoid TRAPATT Oscillation at the Reverse-Recovery of Power Diodes
著者	K. T. Kaschani, R. Sittig
研究機関／会社	Institut für Elektrische Physik
コンセプト名	Read-type pin-diode
内容	P 層と I 層の間に高濃度 N 層を形成
代表図	

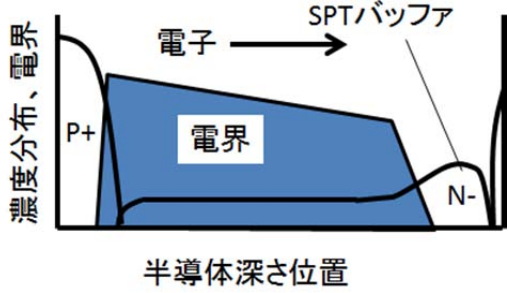
表付 2-8 EMI ノイズを抑制するための特殊なダイオード構造例 4 [42]

振動防止方法の分類	キャリア（ホール）注入
発表年	2000
論文題目	A Newly Structured High Voltage Diode Highlighting Oscillation Free Function In Recovery Process
著者	K. Satoh, K. Morishita, Y. Yamaguchi, N. Hirano, H. Iwamoto, A. Kawakami
研究機関／会社	Mitsubishi Electric
コンセプト名	なし
内容	カソード側に P 層追加
代表図	

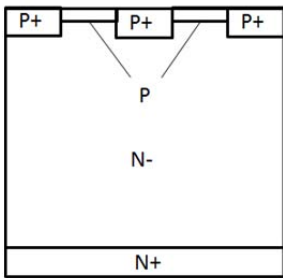
表付 2-9 EMI ノイズを抑制するための特殊なダイオード構造例 5 [43]

振動防止方法の分類	キャリア（ホール）注入
発表年	2006
論文題目	A Novel Diode Structure with Controlled Injection of Backside Holes (CIBH)
著者	M. Chen, J. Lutz, M. Domeijl, H. P. Felsl, H-J. Schulze
研究機関／会社	Chemnitz University, Infineon
コンセプト名	Controlled Injection of Backside Holes (CIBH)
内容	カソード側の電極に接しない部分に P 層を形成
代表図	

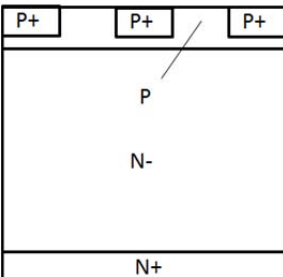
表付 2-10 EMI ノイズを抑制するための特殊なダイオード構造例 6 [39]

振動防止方法の分類	高濃度化とキャリア（電子）注入
発表年	2004
論文題目	Switching-Self-Clamping-Mode “SSCM”, a breakthrough in SOA performance for high voltage IGBTs and Diodes
著者	M. Rahimo, A. Kopta, S. Eicher, U. Schlappbach, S. Linder
研究機関／会社	ABB
コンセプト名	Switching-Self-Clamping-Mode (SSCM) and soft punch through (SPT)
内容	アバランシェ現象の利用と深い低濃度バッファ層の形成
代表図	

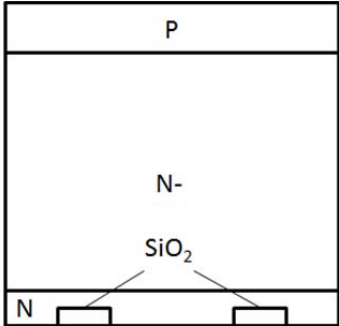
表付 2-11 EMI ノイズを抑制するための特殊なダイオード構造例 7 [44]

振動防止方法の分類	蓄積キャリアの残留（アノード側の低プロファイル化）
発表年	1991
論文題目	A NOVEL SOFT AND FAST RECOVERY DIODE (SFD) WITH THIN P-LAYER FORMED BY AIS ELECTRODE
著者	M. Mori, Y. Yasuda, N. Sakurai, Y. Sugawara
研究機関／会社	Hitachi
コンセプト名	Soft and fast recovery diode (SFD)
内容	高濃度 P 層と浅い P 層の形成
代表図	

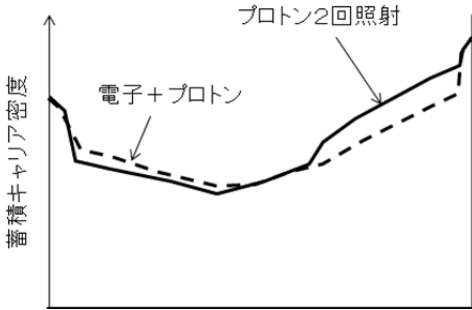
表付 2-12 EMI ノイズを抑制するための特殊なダイオード構造例 8 [45]

振動防止方法の分類	蓄積キャリアの残留（アノード側の低プロファイル化）
発表年	2001
論文題目	A Fast & Soft Recovery Diode with Ultra Small Qrr (USQ-Diode) Using Local Lifetime Control by He Ion Irradiation
著者	K. Nishiwaki, T. Kushida, A. Kawahashi
研究機関／会社	Toyota motor corporation
コンセプト名	Ultra Small Qrr (USQ-Diode)
内容	低濃度 P 層の中に高濃度 P 層を形成
代表図	

表付 2-13 EMI ノイズを抑制するための特殊なダイオード構造例 9 [19]

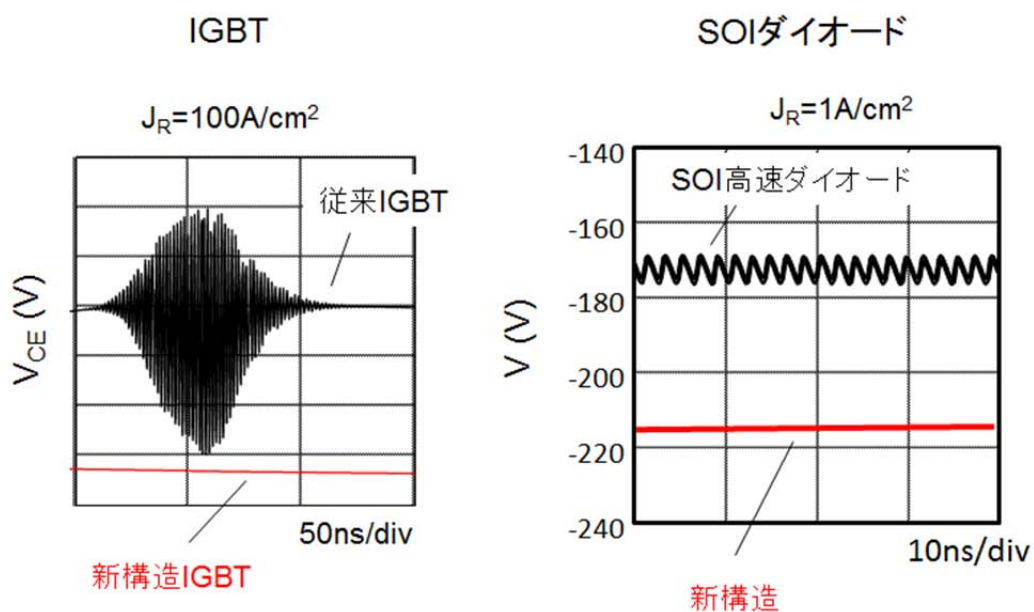
振動防止方法の分類	蓄積キャリアの残留（カソード側の高プロファイル化）
発表年	2009
論文題目	Dynamic Punch-Through Design of High-Voltage Diode for Suppression of Waveform Oscillation and Switching Loss
著者	M. Tsukuda, Y. Sakiyama, H. Ninomiya, M. Yamaguch
研究機関／会社	Toshiba
コンセプト名	なし
内容	カソード側のエミッタを酸化膜で削減
代表図	

表付 2-14 EMI ノイズを抑制するための特殊なダイオード構造例 10 [46]

振動防止方法の分類	蓄積キャリアの残留（カソード側の高プロファイル化）
発表年	1999
論文題目	4.5kV-Fast-Diodes with Expanded SOA Using a Multi-Energy Proton Lifetime Control Technique
著者	O. Humbel, N. Galster, F. Bauer, W. Fichtner
研究機関／会社	ABB, ETH
コンセプト名	Multi-Energy Proton Lifetime Control Technique
内容	電子線とプロトン照射によるキャリア密度の最適化
代表図	

付録3 新構造によるアバランシェ振動の抑制効果

第7章で提案した新構造では、ダイナミック・パンチスルーの制御によりアバランシェ振動条件に到達しなかった。寄生インダクタンスなどの回路条件によりアバランシェ振動条件に達する場合も考えられるため、疑似定常法によりアバランシェ振動に対する新構造の効果を分析し提案した新構造はいずれもアバランシェ振動が発生し難いことが判明した（図付3-1）。これはダイナミック・パンチスルー制御によりキャリアが残留しやすくなり、飽和振動周波数が低くなることから振動が減衰するためだと考えられる。新構造はアバランシェ振動の抑制にも効果があることが明らかになった。



図付 3-1 二次元新構造によるアバランシェ振動の抑制効果